

PRIMJER REALIZACIJE FLEKSIBILNOG FPGA BAZIRANOG MEDIAN FILTRA

Milena Zogović, Gojko Blagojević, Zoran Jakšić, Milena Jovanović, *Elektrotehnički fakultet, Podgorica*
Radovan Stojanović, *Elektrotehnički fakultet, Podgorica*

Sadržaj – U radu se prezentuje metodologija projektovanja FPGA baziranih fleksibilnih median filtara sa promenljivom dužinom niza i prozora. Filtar se pokazuje efikasnim u otklanjanju impulsnog šuma u 1D i 2D slučaju. Daje se arhitektura predloženog rješenja u formi blok dijagrama, kao i funkcionalni opis pojedinih komponenti realizovanih u VHDL-u. U cilju eksperimentalne potvrde predloženog pristupa, daju se rezultati simulacije, poređenje sa Matlab baziranim filtrima, kao i potrebni silicijumski resursi za njegovu realizaciju u standardnim FPGA tehnologijama.

1. UVOD

Prilikom snimanja i prenosa signala može doći do raznih oštećenja koja se manifestuju kao šum. U otklanjanju impulsnog šuma, naročito u slici, značajni rezultati se postižu upotrebom nelinearnih filtara kakvi su median filtri. Po definiciji, median $O(n)$ niza $I(n)$ jednak je srednjem elementu sortiranog niza.

$$O(n) = \text{median} \{ I(n-k), I(n-k-1), I(n-k-2), \dots, I(n-k-L) \},$$

gdje je: $k \geq 0$, $L = w - 1$, w - širina prozora

U većini slučajeva, nelinearni filtri se realizuju softverski ili pomoću DSP procesora, što u oba slučaja podrazumijeva konzumaciju vremenskih i hardverskih resursa. U ovom radu

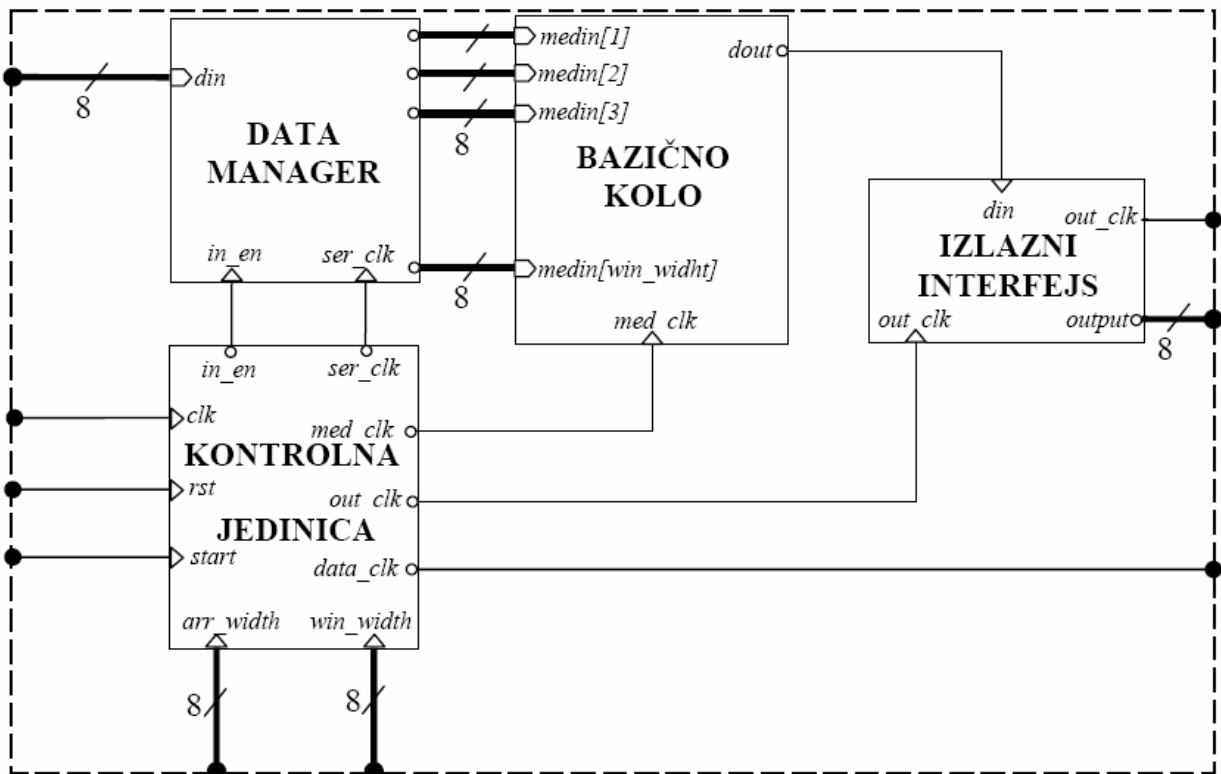
se opisuje hardverska, paralelna realizacija median filtra sa fleksibilnom šinom maske i za 8-bitne ulazne podatke. Kao tehnološka podloga koristi se FPGA (Field Programmable Gate Array). Kompletan dizajn, simulacija i verifikacija obavljani su u Alterinom razvojnom okruženju, Quartus II u kombinaciji sa UP3 edukacionim kitom. Većina modula je kreirano u VHDL-u i kao takvi mogu se koristiti nezavisno od razvojne platforme i implementacione tehnologije.

Rad je organizovan na sledeći način. U sekciji 2 se daje arhitektura rešenja kroz objašnjenje rada pojedinih modula i algoritma računanja uz prikaz karakterističnih simulacionih dijagrama. Rezultati testiranja i odgovarajuća poređenja u odnosu na Matlab filtre se prezentiraju u sekciji 3, kao i potrebni resursi za hardversku implementaciju u odnosu na tip filtra. Slijedi zaključak i smjernice za budući rad.

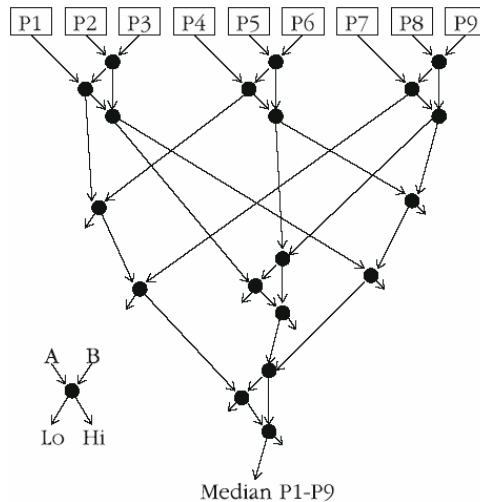
2. ARHITEKTURA PREDLOŽENOG RJEŠENJA I REZULTATI SIMULACIJE

Generalno gledano, filtar se sastoji od ulaznog interfejsa, bazičnog kola i izlaznog interfejsa, slika 1. Bazično kolo obavlja funkciju median filtra.

Ulazni interfejs se sastoji od kontrolne jedinice i data manager-a. Na ulaz kontrolne jedinice dovode se reset (*rst*), klock

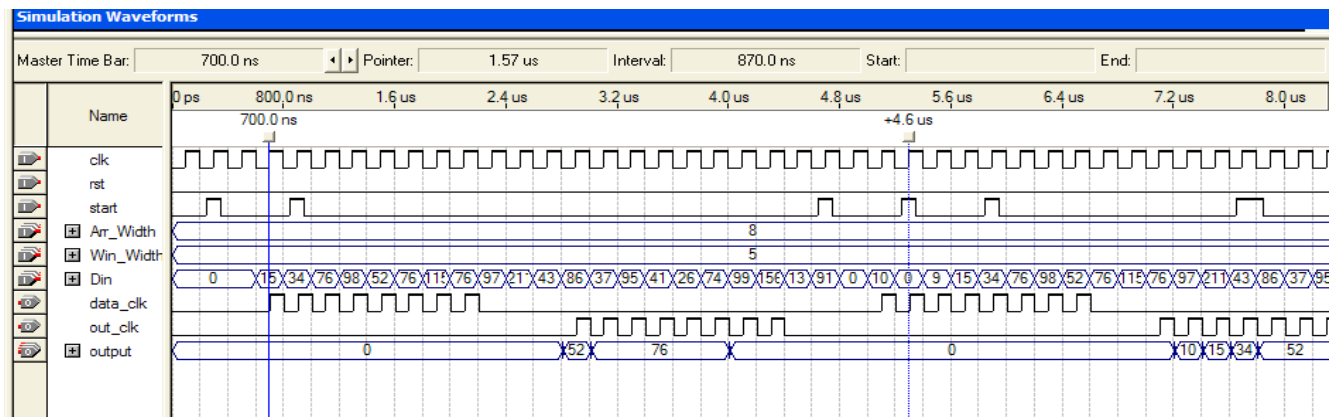


Sl.1. Blok šema median filtra



Sl.2. Izračunavanje median operatora pomoću partial sort algoritma

(clk) i start signali, kao i dužina niza (arr_width) i širina prozora maske 3, 5, 7 i 9. Proces izračunavanja traje jedan clock, pri



Sl. 3. Rezultati simulacije median filtra sa širinom maske 5 primijenjenog nad vektorom od 8 elemenata

(win_width). Kontrolna jedinica generiše upravljačke sinhro signale za data manager, bazično kolo i izlazni interfejs. Generisanje ovih signala se obavlja u skladu sa ulaznim start signalom, pri čemu kontrolna jedinica ne reaguje na novi start dok se proces ne završi. Prekid procesa, nezavisno od nivoa izvršavanja, je moguće ostvariti rst signalom. Data manager ima funkciju da serijske ulazne podatke proslijedi na ulaz bazičnog kola u grupama čija veličina odgovara širini maske. Ovaj sklop je realizovan kao 2D niz, gdje vrste matrice predstavljaju ulazne podatke. U okviru ove matrice omogućeno je jednosmjerno šiftovanje podataka po vrstama. Proces šiftovanja kao i upis podataka u matricu kontroliše kontrolna jedinica. Na taj način je omogućena jednostavna realizacija zero padding-a (popunjavanje nulama u slučaju graničnih pozicija), tako što je zabranjen upis novih elemenata dok se proces šiftovanja nastavlja neko vrijeme u zavisnosti od širine upotrijebljenog prozora(win_width).

Bazično kolo obavlja izračunavanje median operatora. Za tu svrhu je modifikovan partial sort algoritam za 9 ulaznih podataka, slika 2, [4]. Modifikacija se odnosi na algoritam izračunavanja median operatora nezavisno od izabrane širine maske. Osim podataka nad kojima se vrši operacija median, na ulaz kola se dovodi i med_clk u odnosu na kojeg se sinhronizuju sva izračunavanja. Filtri su realizovani za širinu

čemu postoji inicijalno kašnjenje, koje predstavlja vrijeme neophodno bazičnom kolu da generiše prvi rezultat obrade od trenutka startovanja izračunavanja. To kašnjenje iznosi $2w+2$ taktova, pri čemu je w širina prozora.

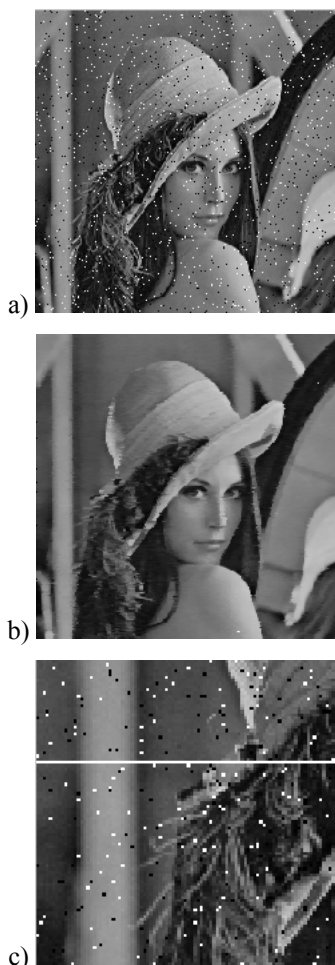
Izlazni interfejs služi za korekciju i sinhronizaciju očitavanja izlaznih podataka, što je omogućeno pomoću Out_clk signala. Ovaj signal predstavlja zakašnjeni data_clk (clock kojim se učitavaju podaci). Na taj način median operator je realizovan po sistemu FIFO, što je vrlo pogodno za njegovo korišćenje u vremenski kritičnim aplikacijama.

Simulacija rada kola je prikazana na slici 3. Uočava se slučaj ponovljenog starta prije završetka izračunavanja, inicijalnog kašnjenja i zero-padinga.

3. REZULTATI TESTIRANJA

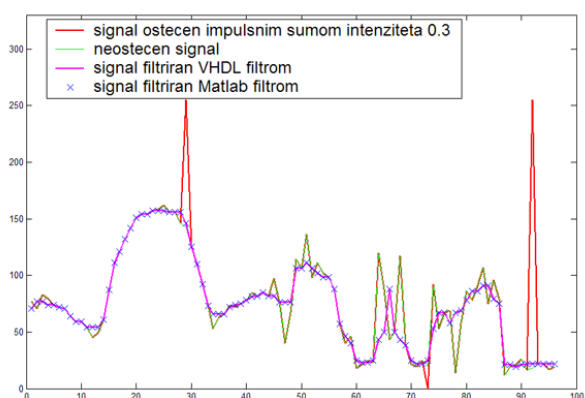
Da bi se ocijenila funkcionalnost i preciznost realizovanih filtara izvršeno je njihovo poređenje sa filtrima realizovanim u Matlab-u. Kao test signal uzeta je sivo-skalirana slika «Lena», 256x256 pixelsa, zahvaćena impulsnim šumom intenziteta 0.3, slika 4 (a). Slika je filtrirana, red po red, MATLAB filtrom, a potom FPGA filtrom, širine maske 5. Rezultat filtriranja je prikazan na

slika 4 (b). Na slici 4 (c) dat je uvećan prikaz dijela slike sa koga je uzeta test linija u cilju demonstracije poredjenja.



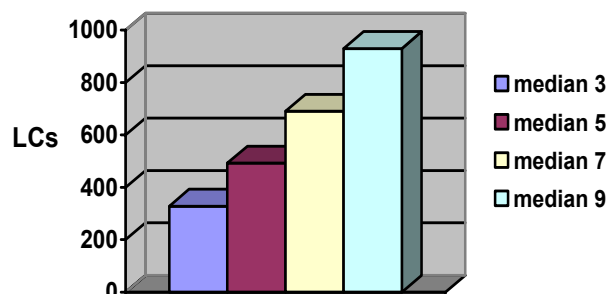
Sl.4. a) slika zahvaćena impulsnim šumom intenziteta 0.3; b) slika filtrirana median filtrom širine maske 5; c) uvećani prikaz dijela slike sa koga su uzeti odbirci za testiranje

Posmatra se prvih 96 elemenata 140.-e vrste slike 4(c). Crvenom linijom je prikazan signal zahvacen šumom, dok plava i pink linija daju rezultate njenog filtriranja sa FPGA i MATLAB filtrom, slika 5. Kao što se može uočiti, greška u odnosu na matlab filter ne postoji. Međutim, značajna razlika je u vremenu izvršavanja zadate operacije koje je znatno kraće ukoliko se filtriranje vrši pomoću FPGA.



Sl. 5. Poređenje median filtra širine maske 5 realizovanog u VHDL-u i Matlab-u

Za potrebe praktične realizacije bitan podatak predstavlja i broj logičkih ćelija (Logic Cells – LCs) potrebnih za realizaciju filtra. Kao što je prikazano na slici 6. taj broj varira u zavisnosti od širine prozora od 300 do 900 LCs. To znači da se u Alterinoj Cyclone EP1C6 familiji koja posjeduje 4975 LCs mogu implementirati oko 5-6 median 9 filtra. Naravno taj broj je mnogo veći za ostale dužine.



Sl. 6. Broj upotrijebljenih logičkih elemenata za realizaciju median filtra širine prozora 3, 5, 7, 9

Dati filter se jednostavno može uklopiti u filtriranje slike sa kvadratnim prozorom. U tom slučaju se modifikuje ulazni interfejs i dodaju blokovi za kašnjenje u vidu FIFO memorija čija je širina jednaka širini slike umanjenoj za širinu prozora. Pri tom se mora voditi računa o zero paddingu na kraju vrsta i kolona. Jedan od načina realizacije konvolucionih funkcija u 2D slici dat je u [5]. Takav pristup biće rezultat budućeg rada koji će rezultirati kompletnim «coreom» za median filtriranje 1D i 2D signala.

4. ZAKLJUČAK

U radu je prikazana moguća realizacija median filtra promenljive dužine niza i prozora u FPGA tehnologiji. Na osnovu simulacionih i rezultata realnog testiranja može se zaključiti da je postignuto zadovoljavajuće filtriranje signala zahvaćenog impulsnim šumom, u realnom vremenu uz potpuno poklapanje sa softverskim filterima.

LITERATURA

- [1] Radovan Stojanović, "Automatizovani dizajn elektronskih kola (ADEK – CAED)", Elektrotehnički Fakultet, Univerzitet Crne Gore, 2005.
- [2] Clive "Max" Maxfield, "The Design Warrior's Guide to FPGAs", Mentor Graphics Corporation and Xilinx, Inc., 2004
- [3] Robert Dueck, "Digital Design with CPLD Applications and VHDL", Delmar/Thomson Learning, 2005 "Microprocessor Design, Principles and Practices With VHDL", Enoch O. Hwang, B
- [4] John L. Smith, "Implementing Median Filters in XC4000E FPGAs", Univision Technologies Inc., Billerica, MA.
- [5] V. Ivanović, R. Stojanović, Lj. Stanković, »Multiple clock cycle architecture for the VLSI design of a system for time-frequency analysis«, EURASIP Journal

on Applied Signal Processing, Special issue on Design methods for DSP systems, in print, 2006.

Abstract – This paper presents the design methodology of flexible FPGA based median filter with variable window width and array length. This filter proves to be efficient in removing impulse noise in case of 1D and 2D arrays. The architecture of presented solution is given in form of block diagram along with the functional description of components programmed in VHDL. For experimental approval of suggested approach, the results of simulations, comparison with Matlab filters, along with the necessary silicon resources

used for realization in standard FPGA technologies, will also be shown.

THE EXAMPLE OF FLEXIBLE FPGA BASED MEDIAN FILTER REALIZATION

Milena Zogović, Gojko Blagojević,
Zoran Jakšić, Milena Jovanović, students
Radovan Stojanović, mentor