

NESTABILNOSTI P-KANALNOG VDMOS TRANZISTORA SNAGE USLED NAPONSKO-TEMPERATURNIH NAPREZANJA SA NEGATIVNOM POLARIZACIJOM GEJTA

Danijel Danković, Ivica Manić, Vojkan Davidović, Snežana Golubović, Ninoslav Stojadinović, *Elektronski fakultet u Nišu*
Snežana Đorić-Veljković, *Građevinsko-arhitektonski fakultet u Nišu*

Sadržaj – U ovom radu prikazani su efekti naponsko-temperaturnih napreznja pri negativnoj polarizaciji gejta na napon praga p-kanalnog VDMOS tranzistora snage. Tokom napreznja dolazi do promena napona praga, pri čemu su ove promene izraženije pri višim naponima i/ili temperaturama. Analizirane su odgovarajuće promene gustina naelektrisanja u oksidu gejta i površinskih stanja i predloženi mehanizmi odgovorni za njihovo formiranje.

1. UVOD

VDMOS tranzistori snage su zbog svojih dobrih električnih karakteristika, jednostavne izrade i prihvatljive cene proizvodnje našli primenu u mnogim elektronskim uređajima. Široka primena ovih komponenata kako u komercijalnim, tako i u uređajima specijalne namene, ukazuje na značaj ispitivanja njihove pouzdanosti. Degradacija parametara VDMOS tranzistora snage izloženih različitim vidovima napreznja (jonizujuće zračenje, jaka električna polja, vrući nosioci) bila je predmet intenzivnog proučavanja [1] (i reference navedene u [1]), ali je mali broj istraživača proučavao nestabilnosti usled naponsko-temperaturnih napreznja ovih komponenata [2, 3].

Prvi značajan rad o nestabilnostima p-kanalnih MOS tranzistora usled naponsko-temperaturnih napreznja pri negativnoj polarizaciji gejta (u daljem tekstu NBTI, od izraza: Negative Bias Temperature Instabilities) publikovan je još krajem sedamdesetih godina prošlog veka [4]. Uprkos višegodišnjem proučavanju NBT napreznja i saznanju da ono uzrokuje značajne promene napona praga koji je najvažniji električni parametar MOS tranzistora, kao i pokretljivosti nosilaca u kanalu i struje curenja, mehanizmi koji dovode do promene električnih parametara MOS tranzistora još uvek nisu potpuno razjašnjeni [5].

NBTI se javljaju pri napreznju p-kanalnih MOS tranzistora negativnim naponima na gejtu, kojima odgovaraju polja u oksidu gejta od 2-6 MV/cm, na temperaturama u opsegu 100-250°C [2, 3, 5, 6]. Ova polja i temperature su tipična za testove na povišenim temperaturama, poznatim pod nazivom žarenje ili "burn-in" [7], ali se takođe javljaju tokom rada VDMOS tranzistora snage u elektronskim uređajima koji se koriste u industriji [3].

2. EKSPERIMENTALNI REZULTATI I DISKUSIJA

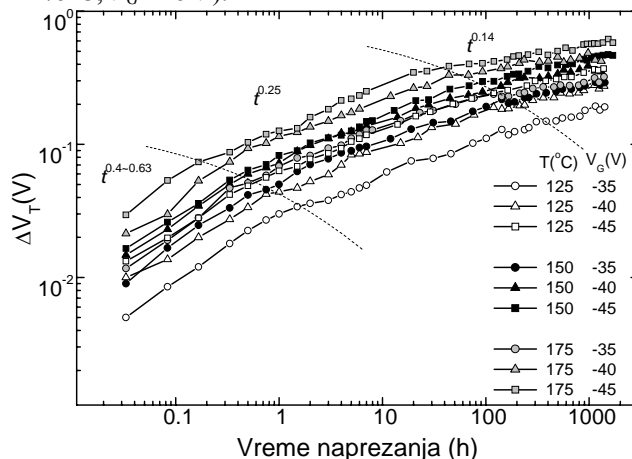
Za istraživanja su korišćeni komercijalni p-kanalni VDMOS tranzistori snage IRF9520, proizvedeni u standardnoj Si-gejt tehnologiji, nominalne debljine oksida gejta $d_{ox}=100\text{ nm}$. Komponente su naprezane negativnim naponima na gejtu u opsegu od -35 do -45 V (pri čemu su sors i drejn bili uzemljeni) na temperaturama od 125 do 175°C u komorama za testiranje pouzdanosti *Heraeus HEP2* u ukupnom trajanju od 2000 sati.

U cilju utvrđivanja odziva komponenata na NBT napreznje i analize odgovarajućih mehanizama, napreznje je vršeno sa prekidima nakon unapred određenih vremenskih intervala radi električne karakterizacije. Električna karakterizacija komponenata obuhvatala je merenje njihovih potpragovskih i natpragovskih prenosnih karakteristika u

oblasti zasićenja pomoću preciznih digitalnih uređaja *Keithley SMU 237* (za merenje struje drejna) i *Keithley 2400* (za polarizaciju gejta) kojima je upravljano PC računom. Takođe, snimane su i tzv. "charge-pumping" (CP) karakteristike [8], pri čemu je u merni sistem uključen i generator funkcija *HP 8116A*, kojim su na gejtu dovođeni trougaoni impulsi ($\Delta V_G=2.6\text{ V}$, $DTC=50\%$ i $f=100\text{ kHz}$). Sva merenja vršena su na sobnoj temperaturi.

Ponašanje napona praga VDMOS tranzistora snage tokom NBT napreznja prikazano je na Sl. 1. Vrednosti napona praga određene su na osnovu merenih natpragovskih prenosnih karakteristika u oblasti zasićenja ekstrapolacijom linearnog dela $\sqrt{I_D}-V_G$ krivih do preseka sa V_G -osom. Sa slike je očigledno da NBT napreznje izaziva značajne promene napona praga, pri čemu su promene izraženije pri višim naponima i/ili temperaturama. Osim toga, odgovarajuća analiza pokazala je da se promena napona praga (ΔV_T) sa vremenom napreznja odvija po t^n zakonu, pri čemu se, zavisno od vrednosti parametra n , uočavaju tri različite faze, odvojene isprekidanim linijama na Sl. 1.

U prvoj fazi parametar n veoma zavisi od napona i temperature i nalazi se u opsegu 0.4-0.63. U drugoj fazi ΔV_T se menja po dobro poznatom $t^{0.25}$ zakonu, pri čemu parametar n skoro da ne zavisi od napona i temperature. Treba istaći da je promena ΔV_T po $t^{0.25}$ zakonu dobijena u svim dosadašnjim istraživanjima NBTI kod p-kanalnih MOS tranzistora proizvedenih u različitim tehnologijama [3-6] (i reference navedene u [5]). Sa Sl. 1 se može zaključiti da se vreme početka druge faze skraćuje sa povećanjem napona i/ili temperature, kao i da je pri strožijim uslovima NBT napreznja (viši naponi i/ili temperature) moguće da se početna faza uopšte i ne pojavi. S obzirom da je druga faza u literaturi najčešće obrađivana, većina naših analiza i diskusija u daljem tekstu odnosiće se upravo na ovu fazu. U trećoj fazi parametar n ponovo postaje zavisn od napona i temperature i postepeno se smanjuje od 0.25 do 0.14, odnosno ΔV_T ulazi u zasićenje. Vrednosti ΔV_T u zasićenju rastu sa povećanjem napona i/ili temperature, pri čemu se posle 2000 sati promene napona praga kreću od 6.5% ($T=125^\circ\text{C}$, $V_G=-35\text{ V}$) do 20% ($T=175^\circ\text{C}$, $V_G=-45\text{ V}$).



Sl. 1. Vremenska zavisnost ΔV_T tokom NBT napreznja p-kanalnog VDMOS tranzistora snage

Polazeći od rezultata sa Sl. 1 i koristeći pristup iz [6] dobija se sledeći izraz za promenu ΔV_T tokom druge faze NBT napreznja:

$$\Delta V_T = 3.04E^{2.05}t^{0.25} \exp(-0.24/kT) \quad (1)$$

gde je E električno polje ($E=V_G/d_{ox}$), T temperatura i t vreme.

Promene napona praga tokom NBT napreznja su posledice formiranja pozitivnog naelektrisanja u oksidu gejta i površinskih stanja zbog prisustva različitih defekata na međupovršini. Naelektrisanje u oksidu i površinska stanja formiraju se putem različitih elektrohemijskih reakcija između defekata i čestica povezanih sa vodom (H^+ , H_2 i H_2O). Ustvari, to su povratne reakcije koje mogu da dovedu i do neutralisanja naelektrisanja u oksidu i pasivizacije površinskih stanja, pri čemu smer reakcije određuje broj raspoloživih defekata i čestica. U različitim fazama NBT napreznja dominiraju različite reakcije, pa se kompletna vremenska zavisnost ΔV_T tokom napreznja može predstaviti izrazom [9]:

$$\Delta V_T = B_1[1 - \exp(-t/\tau_1)] + B_2[1 - \exp(-t/\tau_2)], \quad (2)$$

gde parametri B_1 i B_2 predstavljaju vezu ukupnog broja defekata na međupovršini sa ΔN_{it} i ΔN_{ot} , dok τ_1 i τ_2 predstavljaju vremenske konstante povezane sa brzinama direktnih i povratnih reakcija.

S obzirom da su u ovom radu NBT napreznja sprovedena za devet različitih kombinacija temperatura i napona na gejtu, istovremena detaljna analiza svih ovih eksperimentalnih rezultata gotovo je nemoguća. Iz tog razloga odlučili smo da parametre u izrazu (2) odredimo za (i) srednju temperaturu iz opsega ($T=150^\circ\text{C}$), a različite vrednosti V_G , kao i za (ii) srednji napon na gejtu iz opsega ($V_G=-40\text{ V}$), a različite temperature. Dobijeni parametri iz izraza (2) prikazani su u Tabeli 1, odakle je očigledno da τ_1 i τ_2 približno odgovaraju vremenima početka i kraja druge faze, dok B_1 i B_2 odgovaraju vrednostima ΔV_T u ovim tačkama.

Tabela 1. Parametri iz izraza (2) za NBTI prikazane na Sl. 1.

| T=150°C | | | | |
|-----------|------------|------------|--------------|--------------|
| V_G (V) | B_1 (mV) | B_2 (mV) | τ_1 (h) | τ_2 (h) |
| -35 | 85 | 156 | 1.8 | 119.8 |
| -40 | 121 | 219 | 1.7 | 130.7 |
| -45 | 121 | 262 | 2.0 | 155.5 |

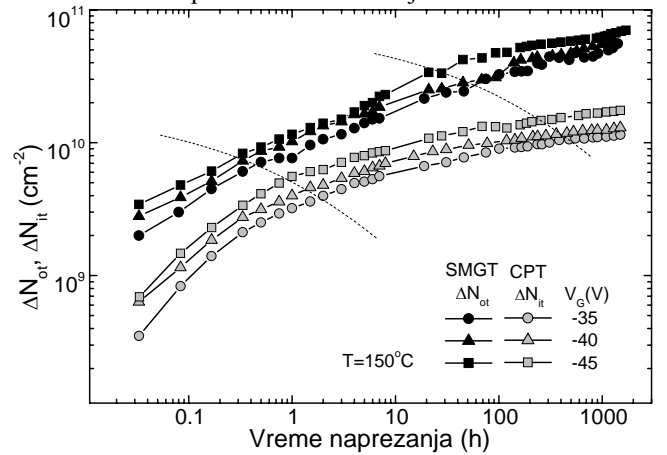
| $V_G=-40\text{ V}$ | | | | |
|--------------------|------------|------------|--------------|--------------|
| T (°C) | B_1 (mV) | B_2 (mV) | τ_1 (h) | τ_2 (h) |
| 125 | 77 | 146 | 2.5 | 118.8 |
| 150 | 121 | 219 | 1.7 | 130.7 |
| 175 | 205 | 226 | 3.1 | 86.5 |

3. ODGOVORNI MEHANIZMI

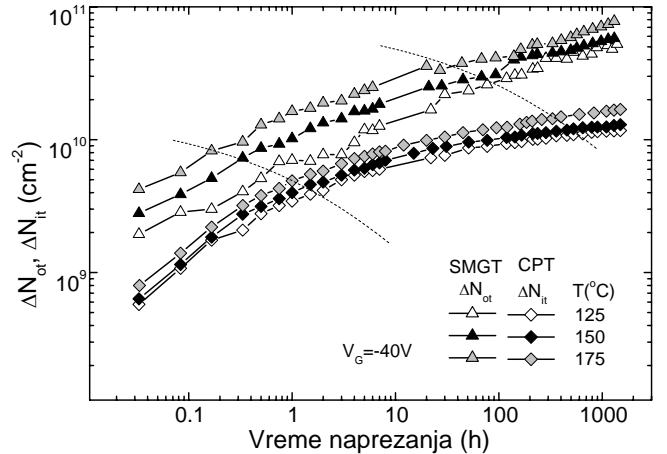
Promene gustine pozitivnog naelektrisanja u oksidu gejta ($q\Delta N_{ot}$) i površinskih stanja (ΔN_{it}) odgovornih za uočeno ponašanje napona praga tokom NBT napreznja p-kanalnog VDMOS tranzistora snage određene su pomoću SMG (od izraza: *Subthreshold Midgap*) tehnike [10], zasnovane na merenju potpragovskih prenosnih karakteristika u oblasti zasićenja. Za određivanje promene gustine površinskih stanja korišćena je i CP (od izraza: *Charge Pumping*) tehnika [8], koja meri samo tzv. prava površinska stanja. Treba napomenuti da su promene gustina površinskih stanja dobijene SMG i CP tehnikama približno jednake, što znači da

je kod VDMOS tranzistora snage ispitivanih u ovom radu formiranje tzv. border trapova tokom NBT napreznja zanemarljivo. S obzirom na to, kao i na činjenicu da CP tehnika daje znatno reproduktivnije rezultate, u radu će biti prikazano ΔN_{it} određeno samo ovom tehnikom.

Iz razloga objašnjenih prilikom analize eksperimentalnih rezultata promene napona praga, odlučili smo da prikazemo ΔN_{ot} i ΔN_{it} za (i) srednju temperaturu iz opsega ($T=150^\circ\text{C}$), a različite vrednosti V_G (Sl. 2), kao i za (ii) srednji napon na gejtu iz opsega ($V_G=-40\text{ V}$), a različite temperature (Sl. 3). Ovakav način prikazivanja dobijenih rezultata omogućava adekvatnu analizu uticaja temperature i polarizacije gejta na vremenske zavisnosti ΔN_{ot} i ΔN_{it} tokom NBT napreznja. Sa ovih slika vidi se da je ΔN_{ot} veće od ΔN_{it} u sve tri faze NBT napreznja, nezavisno od napona i temperature. Takođe, može se uočiti da ΔN_{it} raste brže od ΔN_{ot} u početnoj fazi, ali usporava u drugoj fazi i brže ulazi u zasićenje. Najzad, vidi se da povećanje napona i/ili temperature ima mnogo veći uticaj na ΔN_{ot} , pri čemu bi uticaj napona bio znatno uočljiviji kada bi Sl. 2 bila prikazana u linearnoj razmeri.



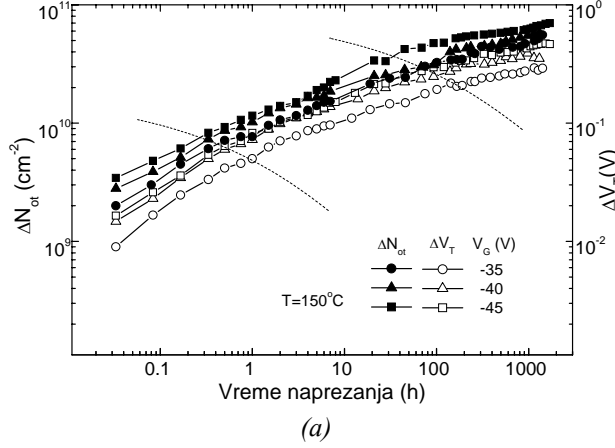
Sl. 2. Vremenska zavisnost ΔN_{ot} i ΔN_{it} tokom NBT napreznja p-kanalnog VDMOS tranzistora snage pri $T=150^\circ\text{C}$



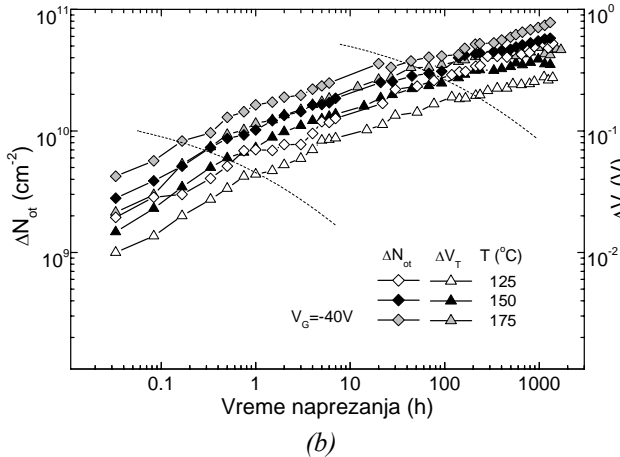
Sl. 3. Vremenska zavisnost ΔN_{ot} i ΔN_{it} tokom NBT napreznja p-kanalnog VDMOS tranzistora snage pri $V_G=-40\text{ V}$

Zaključak svih dosadašnjih istraživanja NBTI kod p-kanalnih MOS tranzistora je da je formiranje površinskih stanja odgovorno za promenu napona praga po $t^{0.25}$ zakonu [3-6]. Međutim, vremenske zavisnosti ΔN_{ot} i ΔN_{it} sa Sl. 2 i 3 ukazuju da to možda nije slučaj kod p-kanalnih VDMOS tranzistora snage ispitivanih u ovom radu. Iz tog razloga uporedni prikazi vremenskih zavisnosti ΔV_T i ΔN_{ot} i ΔN_{it} dati su na Sl. 4 i 5, respektivno. Kao što se vidi, vremenske

zavisnosti ΔV_T i ΔN_{ot} su gotovo istog oblika, nezavisno od napona i temperature (Sl. 4). S druge strane, korelacija između vremenskih zavisnosti ΔV_T i ΔN_{it} nije tako dobra, a neslaganje je naročito izraženo u većem delu druge faze i zasićenju (Sl. 5). Na osnovu ovih rezultata može se jasno zaključiti da je promena napona praga p-kanalnih VDMOS tranzistora snage po $t^{0.25}$ zakonu prvenstveno posledica formiranja naelektrisanja u oksidu, što je svakako najvažniji rezultat ovog rada.



(a)



(b)

Sl. 4. Poređenje vremenskih zavisnosti ΔV_T i ΔN_{ot} tokom NBT napreznja p-kanalnog VDMOS tranzistora snage pri $T=150^\circ\text{C}$ (a) i pri $V_G=-40\text{V}$ (b)

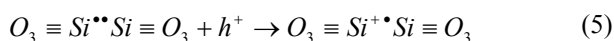
Polazeći od rezultata sa Sl. 2 i 3 i koristeći pristup iz [6] dobijeni su sledeći izrazi za ΔN_{ot} i ΔN_{it} tokom druge faze NBT napreznja:

$$\Delta N_{ot} = 1.16 \cdot 10^{11} E^{2.44} t^{0.25} \exp(-0.21/kT) \quad (3)$$

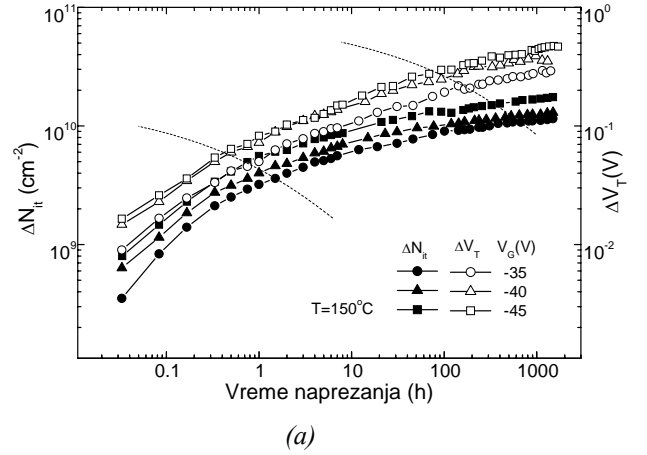
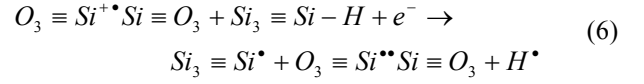
$$\Delta N_{it} = 1.56 \cdot 10^{10} E^{2.11} t^{0.18} \exp(-0.15/kT) \quad (4)$$

Kao što se vidi gustina naelektrisanja u oksidu se menja po $t^{0.25}$ zakonu, što nedvosmisleno potvrđuje da formirano naelektrisanje u oksidu ima dominantan uticaj na promene napona praga p-kanalnih VDMOS tranzistora snage tokom NBT napreznja.

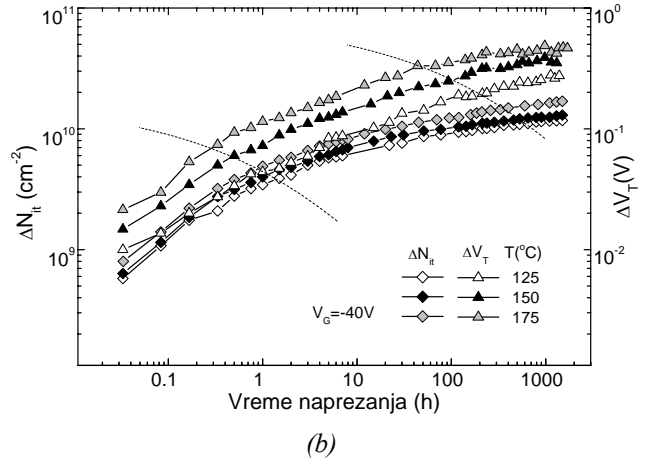
Promene N_{ot} i N_{it} tokom NBT napreznja date izrazima (3) i (4) mogu biti objašnjene preko niza elektrohemijskih reakcija odgovornih za njihovo formiranje. Na samom početku napreznja, pod uticajem električnog polja brzo se formira pozitivno naelektrisanje u oksidu zahvatanjem raspoloživih šupljina na defektima u oksidu (vakancije kiseonika $O_3 \equiv Si^{**}Si \equiv O_3$) [11]:



Zahvaćeno naelektrisanje dovodi do smanjenja lokalnog polja u blizini međupovršine SiO_2-Si , pa se u daljem toku NBT napreznja smanjuje brzina formiranja N_{ot} , a postoji i mogućnost njegove transformacije u površinska stanja ($Si_3 \equiv Si^*$):



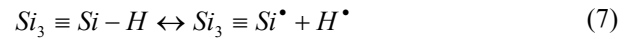
(a)



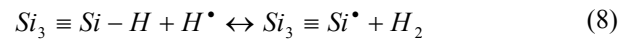
(b)

Sl. 5. Poređenje vremenskih zavisnosti ΔV_T i ΔN_{it} tokom NBT napreznja p-kanalnog VDMOS tranzistora snage pri $T=150^\circ\text{C}$ (a) i pri $V_G=-40\text{V}$ (b)

Međutim, reakcija (6) ne može u potpunosti da objasni brz porast N_{it} u početnoj fazi napreznja, pa se čini logičnim da u ovoj fazi na međupovršini dominira proces disocijacije $Si-H$ veza pod uticajem jakog električnog polja [6]:

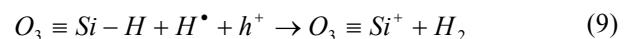


Neutralni atom vodonika (H^*) koji se oslobađa prilikom procesa disocijacije je jako reaktivan (reaguje bez energetske barijere) i može takođe da učestvuje u disocijaciji $Si-H$ veza:

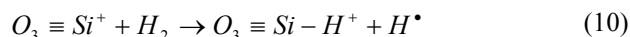


U ovom slučaju, prilikom procesa disocijacije formira se i molekula vodonika (H_2). Sa povećanjem vremena NBT napreznja povećava se i broj formiranih površinskih stanja, a samim tim i verovatnoća da H^* i H_2 učestvuju u procesu pasivizacije površinskih stanja (povratne reakcije (7) i (8)).

Neutralni atom vodonika u blizini međupovršine može da učestvuje i u formiranju naelektrisanja u oksidu [6]:

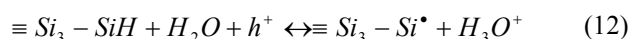
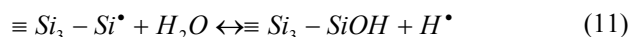


Molekuli vodonika formirani u reakcijama (8) i (9) difunduju ka unutrašnjosti oksida gde je njihova koncentracija manja i krakuju se na pozitivno naelektrisanim defektima [12]:



Pri tome se oslobađaju H^* atomi, koji mogu da učestvuju u lancu reakcija (7)-(9), čime je proces zaokružen.

Ovde treba istaći da H_2 i H_2O molekuli iz unutrašnjosti kućišta i/ili različitih slojeva (polikristalni gejt, pasivizacija) iznad oksida gejta mogu usled povišene temperature tokom NBT napreznja da difunduju ka međupovršini [7]. Pri tome, H_2 molekuli predstavljaju dodatni izvor reaktanata za pasivizaciju, reakcija (8) i krakovanje, reakcija (10), dok H_2O molekuli mogu da dovedu do disocijacije $Si-H$ veza i/ili pasivizacije površinskih stanja [5,12]:



Neutralni atom vodonika oslobođen u reakciji (11) može da učestvuje u formiranju novog površinskog stanja kroz reakciju (8) ili njegovoj pasivizaciji kroz povratnu reakciju (7). To znači da ukupan broj površinskih stanja nakon ovih reakcija može ili oštati nepromenjen ili biti smanjen za dva površinska stanja. Činjenicu da ΔN_{it} brže ulazi u zasićenje od ΔN_{ot} (već u drugoj fazi) može biti objašnjena upravo preko reakcije (11). U drugoj fazi NBT napreznja, kada je koncentracija prekursora površinskih stanja znatno manja od početne, veća je verovatnoća da pristigli H_2O molekul učestvuje u procesu pasivizacije (reakcija (11)), nego u procesu disocijacije (reakcija (12)). Takođe, vreme pristizanja H_2O molekula na međupovršinu približno se poklapa sa vremenom kada brzina porasta ΔN_{it} počinje da opada [13].

Konačno, ΔN_{ot} takođe ulazi u zasićenje u trećoj fazi NBT napreznja, ukazujući da je mehanizam ograničen količinom raspoloživih reaktanata za navedene reakcije. Imajući i ovo u vidu, može se reći da tokom napreznja dolazi do postepenog uspostavljanja ravnoteže u odvijanju navedenih reakcija tako što u zasićenje najpre ulazi ΔN_{it} , a zatim i ΔN_{ot} . To ukazuje da su odgovarajuće promene napona praga ograničene, s jedne strane, ukupnom količinom raspoloživog vodonika i drugih čestica povezanih sa vodom, a sa druge strane, ukupnim brojem defekata na međupovršini i u oksidu [6].

4. ZAKLJUČAK

NBT napreznje dovodi do značajnih promena napona praga p-kanalnih VDMOS tranzistora, pri čemu su ove promene izraženije pri višim naponima i/ili temperaturama. Promene napona praga su posledica formiranja pozitivnog naelektrisanja u oksidu i površinskih stanja, pri čemu naelektrisanje u oksidu ima dominantan uticaj na vremensku zavisnost ΔV_T po $t^{0.25}$ zakonu. Naelektrisanja u oksidu i površinska stanja formiraju se putem čitavog niza različitih elektrohemijskih reakcija između defekata na međupovršini i čestica povezanih sa vodom (H^* , H_2 i H_2O).

LITERATURA

- [1] N. Stojadinović, I. Manić, S. Đorić-Veljković, V. Davidović, S. Golubović and S. Dimitrijević, "Effects of high electric field and elevated-temperature bias stressing on radiation response in power VDMOSFETs," *Microelectron Reliab.*, vol. 42, pp. 669-677, 2002.
- [2] A. Demesmaeker, A. Pergoot and P. De Pauw, "Bias temperature reliability of p-channel high-voltage

devices," *Microelectron Reliab.*, vol. 37, pp. 1767-1770, 1997.

- [3] S. Gamerith and M. Polzl, "Negative bias temperature stress on low voltage p-channel DMOS transistors and the role of nitrogen," *Microelectron Reliab.*, vol. 42, pp. 1439-1443, 2002.
- [4] K.O. Jepson and C.M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *J. Appl. Phys.*, vol. 48, pp. 2004-2014, 1977.
- [5] D.K. Schroder and J.A. Babcock, "Negative bias temperature instability: Road the cross in deep submicron silicon semiconductor manufacturing," *J. Appl. Phys.*, vol. 94, pp. 1-18, 2003.
- [6] S. Ogawa, M. Shimaza and N. Shimano, "Interface trap generation at ultrathin SiO_2 (4-6 nm) - Si interfaces during negative-bias temperature aging," *J. Appl. Phys.*, vol. 77, pp. 1137-1148, 1995.
- [7] N. Stojadinović, S. Djoric-Veljković, I. Manić, V. Davidović and S. Golubović, "Effects of burn-in stressing on radiation response of power VDMOSFETs," *Microelectron J.*, vol. 33, pp. 899-905, 2002.
- [8] P. Habaš, Z. Prijić, D. Pantić and N. Stojadinović, "Charge pumping characterization of SiO_2/Si interface in virgin and irradiated power VDMOSFETs," *IEEE Trans. Electron Dev.*, vol. 43, pp. 2197-2208, 1996.
- [9] C.H. Liu, M.T. Lee, C.Y. Lin, J. Chen, Y.T. Loh, F.T. Liou, K. Schrufer, A.A. Katsetos, Z. Yang, N. Rovedo, T.B. Hook, C. Wann and T.C. Chen, "Mechanism of threshold voltage shift (ΔV_{th}) caused by negative bias temperature instability (NBTI) in deep submicron pMOSFETs," *Jpn. J. Appl. Phys.*, vol. 41, pp. 2423-2425, 2002.
- [10] P.J. McWhorter, P.S. Winokur, "Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors," *Appl. Phys. Lett.*, vol. 48, pp. 133-135, 1986.
- [11] N. Stojadinović, I. Manić, V. Davidović, D. Danković, S. Djorić-Veljković, S. Golubović and S. Dimitrijević, "Effects of electrical stressing in power VDMOSFETs," *Microelectron Reliab.*, vol. 45, pp. 115-122, 2005.
- [12] G.S. Ristić, M.M. Pejović and A.B. Jakšić, "Analysis of postirradiation annealing of n-channel power vertical double-diffused metal-oxide-semiconductor transistors," *J. Appl. Phys.*, vol. 87, pp. 3468-3477, 2000.
- [13] R.E. Stahlbush, R.K. Lawrence, H.L. Hughes and N.S. Saks, "Annealing of total dose damage: redistribution of interface state density on $\langle 100 \rangle$, $\langle 110 \rangle$ and $\langle 111 \rangle$ orientation silicon," *IEEE Trans. Nuclear Science*, vol. 35, pp. 1192-1196, 1988.

Abstract – In this paper, the effects of negative gate bias temperature stressing on threshold voltage in p-channel power VDMOSFETs have been presented. NBT stressing caused the threshold voltage shifts, which were more pronounced at higher voltages and/or temperatures. The underlying changes of gate oxide-trapped charge and interface trap densities have been analyzed, and the model of responsible mechanisms has been proposed.

NEGATIVE BIAS TEMPERATURE INSTABILITIES IN P-CHANNEL POWER VDMOSFETS

Danijel Danković, Ivica Manić, Vojkan Davidović, Snežana Golubović, Ninoslav Stojadinović, Snežana Đorić-Veljković