

CMOS SENSOR DIGITAL CARD - UGRADJENI SISTEM SA INTEL XSCALE ARHITEKTUROM

Zoltan Pele, Nemanja Popov, MicronasNIT Novi Sad

Sadržaj – Ovaj rad opisuje jedno rešenje ugrađenih sistema implementiranog sa mikrokontrolerom PXA255 iz Intelove XScale familije i programabilnim integrisanim kolom Xilinx Spartan III.

1. UVOD

Ugrađeni sistemi su posebni računarski sistemi koji se ili koriste samostalno ili se ugrađuju u veće sisteme. Uglavnom se takvi sistemi projektuju oko jednog mikrokontrolera sa programom koji se izvršava iz ROM –a (*Read Only Memory*) ili iz PROM (*Programmable Read Only Memory*).

Na univerzitetu u Šefildu se projektuju CMOS (*Complementary Metal Oxide Semiconductor*) kamere koje se koriste u naučnim istraživanjima. Ovakve kamere imaju ili visoku rezoluciju (reda 15 MP) ili imaju malu rezoluciju ali velik broj slika u sekundi (reda 500 slika/sec). Ovaj rad opisuje projekat CMOS SENSOR Digital Card. U okviru ovog projekta bilo je potrebno napraviti hardversku i softversku podršku za spomenute CMOS kamere. Zahtevi koji su postavljeni pred projekat su:

- Prenos snimljenih slika preko USB2.0 sprege
- Procesorska moć najmanje 160 MIPS (*Million Instructions per Second*)
- 4 analogna i 32 digitalnih ulazno-izlaznih linija
- 150 digitalnih linija sprege ka CMOS kameri

Zbog nepostojanja gotovog uređaja koji zadovoljava postavljene zahteve, pristupilo se odabiru komponenti. Zbog velikog broja potrebnih linija sprege ka CMOS kameri i neophodnosti brze obrade slike, bilo je jasno da ugrađeni sistem treba da sadrži programabilnu komponentu (FPGA – *Field Programmable Gate Array*). Odabrana je komponenta familija SPARTAN III proizvođača Xilinx. Kao mikrokontroler u sistemu odabrana komponenta iz Intel XSCALE familije [4], PXA255. XScale familija mikrokontrolera predviđena je za upotrebu u prenosnim uređajima poput mobilnih telefona, digitalni asistenti (PDA – *Portable Digital Assistant*), prenosnim multimedijalnim sistemima [5].

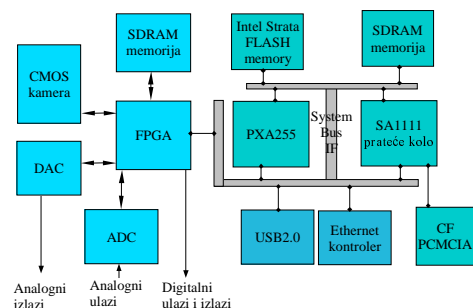
2. FIZIČKA ARHITEKTURA SISTEMA

Fizička arhitektura sistema je prikazana na slici 1.

CMOS kamera je povezana na programabilnu komponentu zbog potrebnog broja linija za spregu. Za potrebe obrade slike u programabilnoj komponenti na nju je povezana SDRAM (*Synchronous Dynamic Random Access Memory*) memorija. Za potrebe nadzora i podešavanja raznih analognih vrednosti u ciljnom sistemu, na FPGA su povezani analognog-digitalni i digitalno-analogni pretvarači.

Veza između mikrokontrolera PXA255 i programabilne komponente izvedena je pomoću adresnog prostora za

statičku memoriju (SRAM – *Static Random Access Memory*) mikrokontrolera.

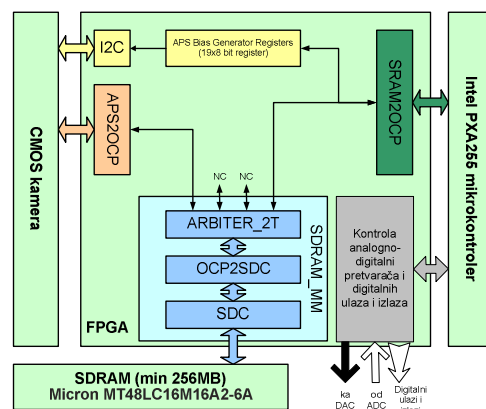


Slika 1. Fizička arhitektura sistema

Pored PXA255 u sistemu je i njegovo prateće integrisano kolo, SA-1111. Namena ovog integrisanog kola je proširenje ulazno-izlaznih mogućnosti mikrokontrolera i smanjenje broja potrebnih pratećih integrisanih kola.

3. SPREGA CMOS KAMERE I PROGRAMABILNE KOMPONENTE

Sprega između kamere i FPGA kola prikazana je na slici 2.



Slika 2. Sprega CMOS kamere i programabilne komponente

Zbog postojanja SDRAM memorije u sistemu i dva klijenta koji joj pristupaju (APS2OCP i SRAM2OCP) neophodno je koristiti arbitar za pristup memoriji. Na slici 2. blok sa arbitrom i kontrolerom memorije (*SDC – SDRAM Controller*) je označen sa SDRAM_MM. Blokovi označeni sa APS2OCP i SRAM2OCP predstavljaju module koji prilagođuju signale sa kamere i statičkog memorijskog interfejsa na signale definisane OCP (*Open Core Protocol*)

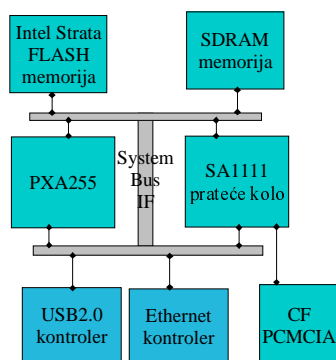
protokolom. OCP protokol [1] definiše magistralu visoke performanse za povezivanje jezgara intelektualne svojine (IP (*Intellectual Property*) cores). Ovaj protokol karakteriše nepostojanje prava svojine što ga čini interesantnim za primene u istraživačke svrhe. Razvila ga je grupa OCP-IP™, među čijim članovima se nalaze MIPS technologies Inc, Nokia Mobile Phones, Philips Semiconductors, STMicroelectronics i Texas Instruments Inc. OCP obezbeđuje nezavisnost jezgara intelektualne svojine od arhitekture i projektovanja ciljnih sistema u kojima se koriste i pojednostavljuje proces verifikacije i ispitivanja unifikacijom sprežnih sistema između IP jezgra.

Arbitar koji se koristi u sistemu je sinhroni arbitar sa redom čekanja i mogućnošću definisanja prioriteta, prava na zaključavanje i parkiranje pojedinih klijenata. Kada su prioriteta svih klijenata isti, koristi se nepristrasno odlučivanje na bazi jednakosti klijenata (*fair-among-equal arbitration*), a u suprotnom se na osnovu definisanih prioriteta klijenata odlučuje o dodeli prava na pristup memoriji. Pravo na zaključavanje (*lock*) omogućava klijentu sa dodeljenim pravom zaključavanja da dobije pristup memoriji bez obzira na druge klijente. Pravo na parkiranje određuje način dodele pristupa memoriji kada ne postoji zahtev ni od jednog klijenta.

Na programabilnu komponentu su povezani i analogno-digitalni (ADC) i digitalno-analogni (DAC) pretvarači. Za ovaj projekat su iskorišćeni niskošumni 24-bitni analogno-digitalni pretvarači CS5534 firme Cirrus Logic. Digitalno-analogni pretvarači su oktalni pretvarači TLC5628 firme Texas Instruments.

4. MIKROKONTROLERSKI BLOK

Na slici 3. prikazana je blok-šema mikrokontrolerskog dela sistema.



Slika 3. Blok-šema mikrokontrolerskog dela sistema

Mikrokontroler PXA255 [2] je deo Intelove XScale [4] arhitekture namenjenih upotrebi u prenosnim uređajima. Osnovne karakteristike ove arhitekture su:

- ARM arhitektura 5TE
- Podrška za Intel Media Processing tehnologiju
- Instrukcijski keš 32kB keš za podatke 32kB

- Odvojen rukovalac za memoriju za instrukcije i memoriju za podatke (*Instruction and Data Memory Management Units*)
- Mogućnost otkrivanja grešaka u kodu preko JTAG (*Joint Test Action Group*) sprežnog sistema

Mikrokontroler poseduje sprežni sistem za memoriju koja se ne nalazi na samom integrisanom kolu (*External memory Bus Interface*) koji podržava sprežanje sinhronne statičke memorije i sinhronne dinamičke memorije. Pored sprege sa programabilnom komponentom, sprežni sistem za statičku memoriju se koristi i za spregu sa USB2 kontrolerom i Ethernet kontrolerom. Sprežni sistem za dinamičku memoriju je iskorišćen za spregu za SDRAM memorijom koja se koristi kao radna memorija. Intelov StrongARM SA-1111 prateće integrisano kolo [3] obezbeđuje proširenje ulazno-izlaznih mogućnosti mikrokontrolera i smanjenje broja potrebnih pratećih integrisanih kola. Neki od dodatnih sprežnih sistema koje obezbeđuje ovo kolo su USB 1.1, I²S, AC97, SSP, PCMCIA, PS2. Zbog velike količine podataka koje treba preneti, u sistem je bilo potrebno ugraditi USB 2.0 kontroler. Odabrano je integrisano kolo NET2272 koji proizvodi PLX Technology. Kao Ethernet kontroler odabran je LAN91C111 koji proizvodi SMSC. Osnovni kriterijum pri odabiru ove dve komponente bio je njihov sprežni sistem ka mikrokontroleru koji ne poseduje PCI-kompatibilan sprežni sistem (*Peripheral Component Interconnect*). Umesto toga, iskorišćen je jednostavniji sprežni sistem za statičku memoriju.

5. ZAKLJUČAK

Prilikom projektovanja ovog sistema bilo je neophodno obratiti pažnju na fleksibilnost sistema u pogledu mogućnosti menjanja CMOS kamera i dodavanja algoritama za obradu slike. Zbog toga je odabrana programabilna komponenta sa dovoljnim brojem ulazno-izlaznih linija i elementarnih logičkih elemenata. Kod implementacije sprežnih sistema koji nisu bili podržani u mikrokontroleru PXA255, bilo je potrebno doneti odluku da li da se koristi dodatno prateće integralno kolo koje bi omogućilo povezivanje uređaja sa PCI sprežnim sistemom ili odabrati integralna kola koja ne koriste PCI sprežni sistem. Zbog smanjenja broja komponenti u sistemu, odabrana je druga varijanta.

LITERATURA

- [1] OCP-IP™, "Open Core Protocol Specification, Release 2.0, Document Revision 1.1.1", 2003
- [2] Intel®, "Intel® PXA255 Processor design guide", March 2003
- [3] Intel®, "StrongARM* SA-1111 Microprocessor Companion Chip Developer's Manual", July 2000
- [4] Intel®, "Intel Xscale Microarchitecture, Technical Summary", 2000

Abstract – This paper deals with an embedded system with Intel's PXA255 microcontroller and a Field Programmable Gate Array from Xilinx's SPARTAN III family.

CMOS SENSOR Digital Card – an embedded system with a microprocessor from Intel's XSCALE family and Xilinx SPARTAN III FPGA

Zoltan Pele, Nemanja Popov