

PRIMENA TEHNIKE AKTIVNIH PUTEVA ZA TESTIRANJE PROGRAMABILNIH LOGIČKIH UREĐAJA

Ljubomir Cvetković, JP PTT "SRBIJA"- HOLDING
Borivoj Lazić, Elektrotehnički fakultet u Beogradu

Sadržaj – U radu se predlaže postupak za konstrukciju detekcionih testova za neispravnosti u programabilnim logičkim uređajima. Neispravnosti se opisuju pomoću modela konstantnih neispravnosti. Za prenos test signala se koristi tehnika aktivnih puteva, dok se test signali definišu na skupu od 4 promenljive. U proceduri detekcije višestruke neispravnosti prenos test signala opisuju pomoću logičkih relacija u kojima se koristi samo 1 logička operacija. Pomoću predložene procedure dobijaju se svi test vektori za višestruku neispravnost. Predlažemo proceduru za određivanje pokrivača za izlazne linije.

1. UVOD

U ovom radu opisujemo jedan prilaz za konstrukciju detekcionih testova za programabilne logičke uređaje.

U programabilne logičke uređaje PLD (Programmable Logic Devices) se ubrajaju *programabilna logička matrica* PLA (Programmable Logic Array), *programabilna matična logika* PAL (Programmable Array Logic) i *fiksna memorija* ROM (Read Only Memory). Kod kola PLA programabilne su obe matrice, a izlazni invertori mogu da se koriste, ali nisu obavezni. Kod kola PAL programabilna je I matrica, dok je ILI matrica fiksirana, a izlazni invertori mogu da se koriste, ali nisu obavezni. Kod kola ROM programabilna je ILI matrica, dok je I matrica fiksirana, a izlazni invertori se ne koriste. I matrica realizuje 2^n potpunih logičkih proizvoda, odnosno obrazuje dekodeer.

Cilj testiranja je da se otkriju neispravnosti u integrisanom kolu. Ako je integrisano kolo neispravno, dolazi do neispravnog funkcionisanja, pa to kolo ne realizuje funkcije za koje je projektovano. Provera da li integrisano kolo realizuje zadate funkcije je u stvari testiranje.

Integrisana kola mogu imati fizičke neispravnosti, koje nastaju u toku proizvodnje, ali se te neispravnosti ispoljavaju kasnije, u toku eksploatacije. Pri testiranju integrisanih kola, uglavnom, nije potrebno da se lokalizuje neispravnost, već da se utvrdi da li neispravnost postoji.

Brz i veliki napredak u poluprovodničkoj tehnologiji omogućio je veliko povećanje gustine integrisanih kola (broj komponenata i logičkih kola u čipu). To je omogućilo projektantima da implementiraju veliki broj logičkih funkcija pomoću integrisanih kola, često i samo pomoću jednog integrisanog kola. Vitalni je interes, kako proizvođača tako i krajnjih korisnika, da budu sigurni da kompleksni digitalni sistem funkcioniše korektno u primeni. Takođe je od interesa

da se poveća pouzdanost integrisanog kola, tj. da se zna da li će to kolo raditi korektno u dužem vremenskom intervalu. Dakle, da bi se garantovala ispravnost i pouzdanost integrisanog kola, proizvođači i korisnici se oslanjaju na testiranje.

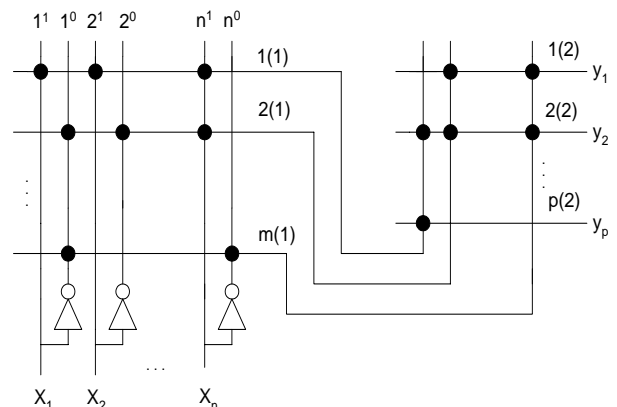
Pod test vektorom integrisanog kola podrazumeva se ulazni vektor, pri kome su signali na bar jednoj izlaznoj liniji ispravnog i neispravnog kola komplementarni.

Pojedinačna ili višestruka neispravnost je detektibilna ako je detektuje bar jedan ulazni vektor. Ukoliko neispravnost ne detektuje ni jedan ulazni vektor, neispravnost je nedetektibilna. Po pravilu, jednu neispravnost detektuje više test vektora, koji predstavljaju detekcioni test skup. Takođe, jedan test vektor može da detektuje više neispravnosti.

2. GENERISANJE I PROSTIRANJE TEST SIGNALA

Pri detekciji neispravnosti, pre svega, treba imati u vidu logički uticaj neispravnosti na funkcionisanje integrisanog kola. Na taj način su nastali modeli neispravnosti, koji omogućuju primenu algoritamskih procedura za testiranje. Modeli neispravnosti opisuju logičko ponašanje neispravnog integrisanog kola. U proceduri testiranja u ovom radu koristimo model neispravnosti u programabilnim elementima koji je opisan u [1].

Na Sl.1 je prikazana PLA sa n ulaznih linija, m unutrašnjih linija i p izlaznih linija. PLA prikazana na Sl.1 se označava sa $n \times p \text{ PLA}(m)$.



Sl.1. Programabilna logička matrica

Programabilni elementi su označeni pomoću simbola "•". Ovaj simbol označava programabilnu vezu, tj. mesto na kome se može relizovati ulaz logičkog elementa.

Neispravnost tipa prekida programabilnog elementa u tački $(i,j)^1$ označavamo sa $(i,j)^1/1$ (neispravnost konstantno 1), a neispravnost tipa kratke veze u tački $(i,j)^1$ označavamo sa $(i,j)^1/0$ (neispravnost konstantno 0). Označavanje neispravnosti u tački $(i,j)^0$ vrši se na analogan način.

U okviru ILI matrice neispravnost tipa prekida programabilnog elementa u tački (i,j) označava se sa $(i,j)/1$, a neispravnost tipa kratke veze u tački (i,j) označava se sa $(i,j)/0$.

U vezi sa modelom neispravnosti dajemo dodatna objašnjenja u vezi sa neispravnostima u programabilnim elementima. Mi smatramo da su neispravnosti u PLA prikazanoj na Sl.1 nastale usled defekata programabilnih elemenata i da signali neispravnosti uzimaju vrednosti 0 i 1. Ako je programabilni element lociran u ILI matrici u tački (i,j) ($i=1,2,\dots,p, j=1,2,\dots,m$) u prekidu, vrednost signala u toj tački je konstantno 1 (viši naponski nivo), a ako je programabilni element u kratkom spoju vrednost signala u tački (i,j) je konstantno 0 (niži naponski nivo). Za očekivati je da u slučaju kratkog spoja linija i i j logička vrednost signala u tački (i,j) zavisi od signala na linijama i i j . Međutim, mi smatramo da je neispravnost $(i,j)/s$ ($s \in \{0,1\}$) dominantna neispravnost u odnosu na signale na linijama i i j . Dakle, signali na linijama i i j nemaju uticaj na neispravnost $(i,j)/s$.

Tako, na primer, pojedinačne neispravnosti $(i,j)/0$ i $(i,j+1)/0$, obrazuju dvostruku neispravnost $\{(i,j)/0, (i,j+1)/0\}$, $i=1,2,\dots,p, j=1,2,\dots,m$, jer programabilni elementi u ILI matrici predstavljaju ulazne linije logičkih (ILI)_k elemenata ($k=1,2,\dots,p$).

Za PLA na Sl.1 definišemo test signale. Sa D ćemo označiti test signal koji u tački $(i,j)^1$ u ispravnom kolu ima vrednost 1, a u neispravnom vrednost 0. Sa C ćemo označiti test signal koji u tački $(i,j)^1$ u ispravnom kolu ima vrednost 0, a u neispravnom 1. Označavanje neispravnosti u tački $(i,j)^0$ se vrši na analogan način. Sa D ćemo označiti test signal koji u tački (i,j) u ILI matrici u ispravnom kolu ima vrednost 1, a u neispravnom vrednost 0. Sa C ćemo označiti test signal koji u tački (i,j) u ispravnom kolu ima vrednost 0, a u neispravnom 1. Prema tome, signali u kombinacionom kolu mogu uzeti vrednost iz skupa $\{0,1,C,D\}$, pri čemu je $C \in \{0,1\}$ i $D \in \{0,1\}$. Dakle, u skupu $\{0,1,C,D\}$ postoje dve konstante (0 i 1) i dve promenljive (C i D). Treba napomenuti da vrednosti za C i D nisu određene na početku procedure za detekciju neispravnosti; one se određuju za vreme izvršenja procedure. Skup $\{0,1,C,D\}$ i operacije +, • i - predstavljaju Booleovu algebru, ako su ove operacije definisane sledećim tabelama

Tabela 1

+	0	1	C	D
0	0	1	C	D
1	1	1	1	1
C	C	1	C	1
D	D	1	1	D

Tabela 2

•	0	1	C	D
0	0	0	0	0
1	0	1	C	D
C	0	C	C	0
D	0	D	0	D

Tabela 3

-	0	1	C	D
	1	0	D	C

Definišemo operaciju preseka \emptyset je na skupu $\{0,1,X\}$ pomoću Tabele 4. U Tabeli je sa simbolom \emptyset označeno da operacija \emptyset nije definisana.

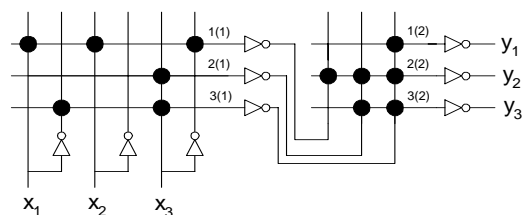
Tabela 4

?	0	1	X
0	0	?	0
1	?	1	1
X	0	1	X

Korišćenje skupa od četiri elementa u procedurama za detekciju višestrukih neispravnosti u programabilnim logičkim uređajima, uz primenu teorije kubova, izloženo je u [2], [3] i [4].

Za detekciju višestruke neispravnosti, raspoređene u programabilnim tačkama PLA, potrebno je u neispravnim tačkama generisati test signale koji imaju suprotnu vrednost od signala neispravnosti. Za prenos test signala koristimo logičke relacije u kojima koristimo samo logičku I operaciju "∧".

Primer 1. Detektovati pojedinačnu neispravnost $(1,1)^1/1$ u PLA prikazanoj na Sl.2.



Sl.2. NI-NI implementacija PLA

PLA predstavljena na Sl.2 je realizovana u NI-NI implementaciji. Generišemo test signal vrednosti C u tački $(1,1)^1$ i pišemo logičku relaciju za prenos test signala od tačke $(1,1)^1$ na izlaznu liniju 1(1)

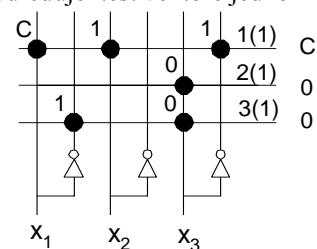
$$(1,1)^1 = C \wedge (1,2)^1 = 1 \wedge (1,3)^0 = 1 \rightarrow 1(1) \quad (1)$$

Test signal dobija vrednost D u tački $(2,1)$ pa se dobija

$$(2,1) = D \wedge (2,2) = 1 \wedge (2,3) = 1 \rightarrow 2(2) = D \quad (2)$$

Pošto inverter vrši inverziju signala, dovoljno je detektovati pojedinačnu neispravnost na liniji 2(2).

Na osnovu relacije (2), pomoću kretanja unatrag, na izlaznim linijama I matrice dobijamo vrednosti signala $1(1)=C, 2(1)=0$ i $3(1)=0$. Dodeljujemo test signale vrednosti 0, 1 i C programabilnim tačkama u I matrici, vodeći računa da se komplementarne vrednosti test signala ne pojavljuju na parovima bit linija. Jedna raspodela test signala je prikazana na Sl.3 i ona određuje test vektore jednoznačno.



Sl.3. Test signali u I matrici

Određujemo test kubove $Q_1=\{010\}$, $Q_2=\{XX0\}$, $Q_3=\{0X0\}$, pa dobijamo

$$Q_1 \oslash Q_2 \oslash Q_3 = \{010\}.$$

Test vektor 010 detektuje zadata pojedinačnu neispravnost.

Primitimo da u predloženoj proceduri za detekciju višestruke neispravnosti ni jedna od programabilnih tačaka, u kojima su locirani programabilni elementi, ne može biti u stanju X ($X \in \{0,1\}$). Očigledno, ova činjenica olakšava proceduru testiranja. Prilikom primene procedure krećemo se samo unapred, pa se na taj način izbegava problem neuspešnih koraka, koji se kreće kod strukturnih metoda testiranja.

3. POKRIVAČ NEISPRAVNOSTI

Definišemo pokrivač neispravnosti za linije u PLA.

Skup ulaznih vektora koji na proizvoljnoj liniji u programabilnoj logičkoj matrici $n \times p \text{ PLA}(m)$ (ulazne linije, horizontalne linije i izlazne linije) prikazanoj na Sl.1 generiše signal vrednosti 0 ili 1, naziva se 0-pokrivač ili 1-pokrivač te linije.

Prilikom detekcije pojedinačnih i višestrukih neispravnosti u PLA koristimo koncepciju tehnike aktivnih puteva. Prenos test signala opisujemo pomoću logičkih relacija u kojima se koristi logička I operacija “ \wedge ”. Za proizvoljnu višestruku neispravnost u nepreopširnoj PLA može se odrediti 0- ili 1-pokrivač na odgovarajućoj izlaznoj liniji. Dakle, postoji korespondencija između višestruke neispravnosti i pokrivača neispravnosti. Skup vektora koji određuje 0- ili 1-pokrivač izlazne linije u PLA, koja pripada aktivnom putu pri prenosu test signala u proceduri detekcije višestruke neispravnosti, detektuje zadata višestruku neispravnost.

Predložimo postupak za određivanje 0- i 1- pokrivača izlaznih linija u PLA.

Ako kub generiše na izlaznoj liniji $i(2)$, $i=1,2,\dots,p$, signal vrednosti s ($s \in \{0,1\}$), onda pišemo $i=s$. Dakle, u ovom slučaju kub zadovoljava relaciju $i=s$. 0-pokrivač ili 1-pokrivač za proizvoljnu izlaznu liniju $i(2)$, $i=1,2,\dots,p$, određujemo pomoću sledeća dva koraka.

1. Određujemo skup test kubova $Q_2(i)$, $i=1,2,\dots,p$, koji primenjen na ulazne linije ILI matrice $1,2,\dots,m$, daje 0 ili 1-pokrivač linije $i(2)$ ($i=1,2,\dots,p$). Uzima se da je $i(2)=0$ ili da je $i(2)=1$, u zavisnosti da li se određuje 0- ili 1-pokrivač. Prilikom određivanja skupa $Q_2(i)$ ulaznim linijama ILI matrice $1,2,\dots,m$, koje nemaju presečne tačke sa izlaznom linijom $i(2)$, dodeljuje se promenljiva X ($X \in \{0,1\}$).

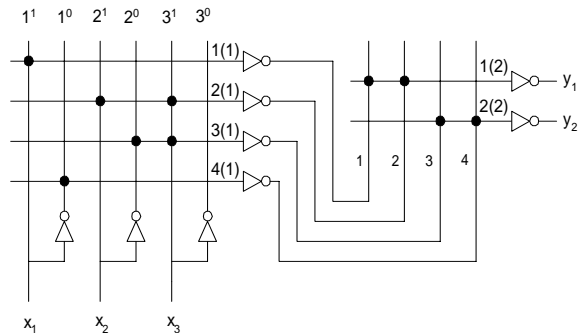
2. Vrednosti iz skupa $Q_2(i)$, $i=1,2,\dots,p$, dobijene u okviru koraka 1, pomoću kretanja unatrag, dodeljujemo izlaznim linijama I matrice $i(1)$, $i=1,2,\dots,m$ (prilikom kretanja unatrag moguća je komplementacija signala, u zavisnosti od implementacije PLA). Na osnovu vrednosti signala na izlaznim linijama I matrice direktno određujemo skupove test kubova $Q_1(i)$, $i=1,2,\dots,m$.

Pomoću operacije preseka kubova \oslash izračunavamo

$$Q = Q_1(1) \oslash Q_1(2) \oslash \dots \oslash Q_1(m).$$

Razvijanjem skupa test kubova Q dobijamo ulazne vektore koji predstavljaju 0- ili 1- pokrivač linije $i(2)$.

Primer 2. Za PAL prikazan na Sl.4 odrediti 1-pokrivač linije 1(2).

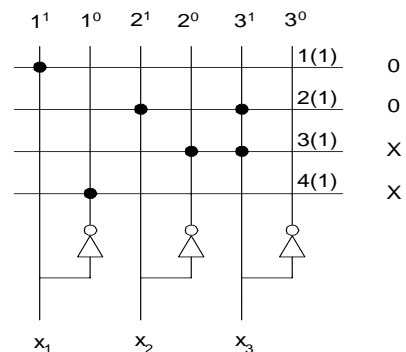


Sl.4. Programabilna matična logika

Tačkama (1,1) i (1,2) dodeljujemo signale vrednosti 1. Dobijamo skup test kubova

$$Q_2(1) = \{11XX\}$$

Vršimo kretanje unatrag prema izlaznim linijama I matrice i tim linijama dodeljujemo vrednosti iz $Q_2(1)$, kako je to prikazano na Sl.5.



Sl.5. Signali na izlaznim linijama I matrice

Za linije 1(1) i 2(1) određujemo kubove $Q_1(1) = \{0XX\}$ $Q_1(2) = \{X00, X01, X10\}$.

Primenjujemo operaciju preseka kubova

$$Q = Q_1(1) \oslash Q_1(2) = \{000, 001, 010\}.$$

Vektori 000, 001 i 010 su svi vektori koji daju 1-pokrivač linije 1(2).

ZAKLJUČAK

Polazna tačka predložene procedure za detekciju višestruke neispravnosti je činjenica da se neispravnosti pojavljuju u programabilnim elementima PLA. Neispravnosti mogu imati sledeće vrednosti signala: konstantno 0 i konstantno 1. Pisanje logičkih relacija za prenos test signala je olakšano, jer se koristi samo I logička operacija “ \wedge ”. Ako se ne određuju svi test vektori za zadata neispravnost (pojedinačnu ili višestruku), obim izračunavanja se znatno smanjuje.

LITERATURA

- [1] Lj. Cvetković, An addition to the methods of test determination for fault detection in combinational circuits, Acta Cybernetica, Vol 16, No 4, pp. 545-566, Department of Informatics, University of Szeged.
- [2] Lj. Cvetković, B. Lazić, Detekcija neispravnosti u kombinacionim mrežama za realizaciju sistema prekidačkih funkcija pomoću dekodera, XLIV konferencija ETRAN, Zbornik radova, pp. 75-78, Sokobanja, 2000.
- [3] B. Lazić, Lj. Cvetković, Prilog metodama određivanja testova za detekciju neispravnosti u PLA, XLII konferencija ETRAN, pp. 85-88, Vrnjačka Banja, 1988.
- [4] B. Lazić, Lj. Cvetković, Detekcija neispravnosti u programabilnoj matričnoj logici, XLIII konferencija ETRAN, Zbornik radova, pp. 78-81, Zlatibor, 1999.

Abstract - In the proposed fault detecting procedure for multiple fault in PLA test signals get values from the set $\{0, 1, C, D\}$. Test signals are assigned to faulty programmable

elements, which form a multiple fault. In applying the proposed procedure we go only forward, thus avoiding the problem of unsuccessful steps, which appear in structural testing methods. Writing logic relations for the test signal propagation is easier, since one uses only logic AND operation " \wedge ". While executing the testing procedure no programmable point of PLA can have an undefined signal value, i.e. to be in state X, which makes the procedure smoother to a great extent.

The starting point of the proposed procedure for detecting a multiple fault is the fact that the multiple fault appears in programmable points of PLA, while the produced PLA corresponds to the designed one with the hypothesis that no mistakes in designing PLA can occur.

AN APPLICATION OF THE PATH SENSITIZATION METHOD TO PROGRAMMABLE LOGIC DEVICES TESTING

Ljubomir Cvetković, Borivoj Lazić