

PRAKTIČNA REALIZACIJA DIGITALNOG RADARSKOG PRIJEMNIKA

Ninoslav Remenski, Branislav Pavić, Mladen Mileusnić, Predrag Petrović
IRITEL A.D. Beograd

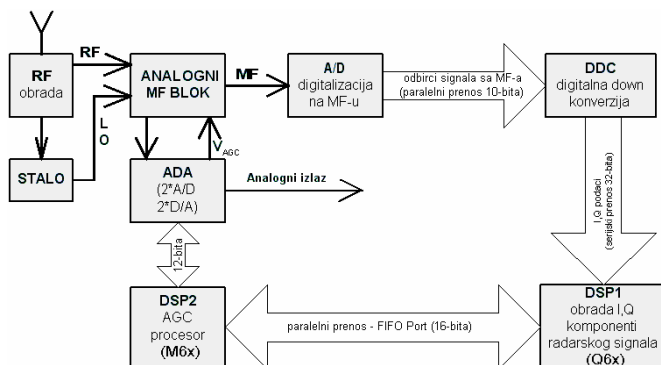
Sadržaj – U radu je opisana praktična realizacija digitalnog radarskog prijemnika koherentnog na prijemu baziranog na konceptu softverskog radija. Analizirane su karakteristike i performanse upotrebljenih hardverskih platformi kao i softverska realizacija prijemnika. Na kraju su prikazani i neki ilustrativni primeri rezultata obrade test signala generisanog pomoću, za ovu namenu takođe razvijenog i relizovanog, simulatora radarskog signala.

1. UVOD

Koncept softverski definisanog radija (SDR) je široko prihvaćen u oblasti radio komunikacija. S obzirom na prednosti koje takav koncept pruža u pogledu fleksibilnosti, rekonfigurabilnosti, pouzdanosti, lakoće održavanja, repetitivnosti i mogućnosti primene najsloženijih algoritama digitalne obrade signala, bez dodatnih hardverskih ulaganja i izmena, ovaj koncept je usvojen i u radarskoj tehnici kao apsolutno dominantan, tako da se sa puno opravdanja može govoriti o terminu "softverski definisan radar". U ovom radu je opisana realizacija softverski definisanog radara, tačnije rečeno njegovog prijemnog dela, digitalnog radarskog prijemnika, mada se ista koncepcija u potpunosti može primeniti i na predajni deo radarskog sistema.

2. TEHNIČKO REŠENJE

Prelazak sa analogne na digitalnu obradu signala može se izvršiti na više mesta u toku procesiranja prijemnog signala, [1]. U konkretnom slučaju digitalizacija prijemnog radarskog signala se vrši na međufrekvenciji. Funkcionalna blok šema tako realizovanog digitalnog radarskog prijemnika prikazana je na sl.1.



Sl.1. Blok šema digitalnog radarskog prijemnika

Osnovni funkcionalni blokovi u digitalnom radarskom prijemniku su:

- 1) RF analogna obrada;
- 2) Analogni MF blok;
- 3) STALO (Stabilni lokalni oscilator);
- 4) A/D blok, u kome se vrši digitalizacija signala, realizovana na međufrekvenciji (MF) 10.7 MHz sa učestanošću odabiranja 32 MHz;

- 5) DDC blok (digitalna konverzija na dole), u kome se vrši svodjenje signala na "nultu" međufrekvenciju postupkom "downsampling"-a i filtriranja, odnosno decimacije. Izlazna učestanošću odabiranja iz ovog bloka je 800 kHz;
- 6) DSP1 blok, u kome su realizovani sledeći algoritmi obrade signala:
 - a. korigovanje faze prijemnog signala (COHO-koherentni oscilator);
 - b. MTI filtar ("moving target filter"), odnosno filtar za brisanje stalnih odraza (clutter-a);
 - c. CFAR (Constant False Alarm Rate) algoritam (GO ili CA tipa).
- 7) ADA blok, u kome se vrši odabiranje anvelope (LOG detektor) signala na MF-u i generisanje analognog kontrolnog napona (V_{AGC}) AGC-a MF pojačavača.
- 8) DSP2 blok, u kome je realizovana AGC petlja na MF-u na osnovu odbiraka anvelope dobijenih od ADA bloka.

Prva tri navedena bloka deo su RF "front end-a" koji signal iz antene svodi na međufrekvenciju i može se po potrebi menjati u zavisnosti od frekventijskog opsega konkretnog radara.

Specifičnost i zahtevnost obrade signala u radarskoj tehnici iziskivali su vrlo pažljiv izbor hardverskih platformi za realizaciju digitalnog radarskog prijemnika, [2]. Tom segmentu posvećena je maksimalna pažnja. Naravno, raspoloživost takvih komponenti je takođe bitan faktor koji je uticao na taj izbor.

Za realizaciju digitalnog radarskog prijemnika upotrebljene su sledeće hardverske platforme:

- 1) ST-114 firme Sigtek (A/D i DDC blokovi),
- 2) Q6x platforma firme Innovative Integration,
- 3) M6x platforma firme Innovative Integration i
- 4) RF modul firme Innovative Integration

Sve platforme su smeštene u osnovni host računaru za koji je izabrana konfiguracija zasnovana na Advantech-ovom industrijskom računaru sledećih karakteristika:

- Industrijsko kućište IPC-610BP-30XF
- Pasivna zadnja ploča PCA-6114P10
- Procesorska ploča PCA-6184VE
- Procesor P4 2.4GHz Box
- Memorija DIMM 2x256Mb

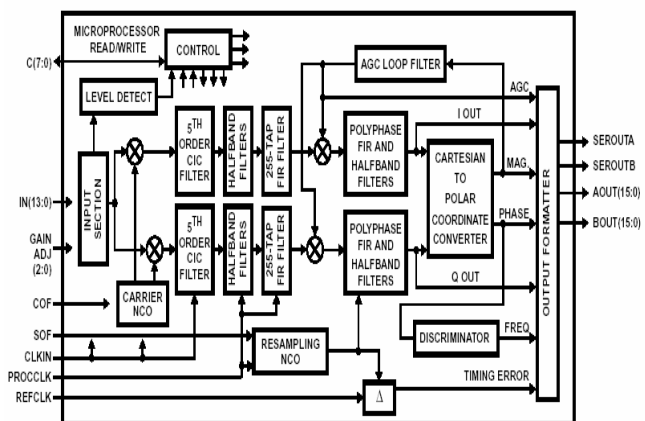
- Operativni sistem W2K

3. OPIS HARDVERSKIH PLATFORMI

ST-114 je fleksibilna razvojna platforma za softverski radio. Na njoj se nalaze svi elementi potrebni za digitalnu obradu signala sa medjufrekvencije maksimalne učestanosti do 20 MHz:

- Harris HI5703 10-Bit 40 Msample/sec A/D konvertor
- Harris HSP50214 Programmable Downconverter
- Texas Instruments TMS320C50 DSP procesor
- Harris HSP45106 Numerically Controlled Oscillator
- dva Harris-ova CA3338A brza D/A konvertora
- 16-bit audio D/A konvertor

S obzirom da je pomenuta platforma bila neposredno raspoloživa a imajući u vidu mogućnosti koje ona pruža [2] upotrebom ove platforme rešili smo problem prva dva, od prethodno pobrojanih funkcionalnih blokova u digitalnom delu prijemnika (A/D i DDC blokovi). Ključna komponenta na njoj je programibilni konvertor "na dole" odnosno DDC blok, čija je funkcionalna blok šema data na sl.2.



Sl.2. Blok šema upotrebljenog DDC modula

Planirali smo da u sledećoj iteraciji DDC modul zamenimo realizacijom digitalnog "down" konvertora u Xilinx FPGA tehnologiji.

Q6x platforma firme Innovative Integration sa svoja četiri TMS320C6201 procesora na 160 MHz, obezbeđujući najviše performanse sistema. Ova moćna DSP platforma je idealna za upotrebu kod velikog broja računski zahtevnih aplikacija.

Svaki procesor se odlikuje velikim brojem perifera na čipu, uključujući dva 32-bitna brojača/tajmera, četiri DMA kanala, 64 Kbytes internog PROGRAM RAM-a (IPRAM), 64 Kbytes internog DATA RAM-a (IDRAM), i 16 Mbytes eksternog RAM (SDRAM) sa jednim stanjem čekanja (1 wait-state) po procesoru.

Sva četiri procesora su međusobno povezana pomoću brzih jednostavnih FIFO linkova, koji su kompatibilni sa

procesorskim DMA kontrolerima i omogućuju idealan mehanizam za razmenu podataka između procesora.

Tri DSP procesora sa Q6x modula mogu da komuniciraju sa eksternim hardverom uz pomoć zasebnih 16-bitnih baferovanih FIFOPort interfejsa. Ovim je omogućeno da se Quatro6x lako poveže sa bilo kojom FIFOPort kompatibilnom karticom brzinama do 57 Mb/s za čitanje i 80 Mb/s za upisivanje, čime se može povećati procesorska snaga i pristupiti udaljenim ulazno/izlaznim jedinicama.

Serijski portovi sa svakog od DSP procesora TMS320C6201 su izvedeni na konektore za povezivanje sa eksternim hardverom.

M6x platforma firme Innovative Integration nudi visoke performanse i ekstremnu fleksibilnost sa digitalnim signal procesorom TEXAS INSTRUMENTS TMS320C6201 na 200 MHz. Pored resursa pomenutih u opisu Q6x platforme M6x nudi i standardizovan OMNIBUS interfejs ka raznim ulazno-izlaznim modulima istog proizvođača.

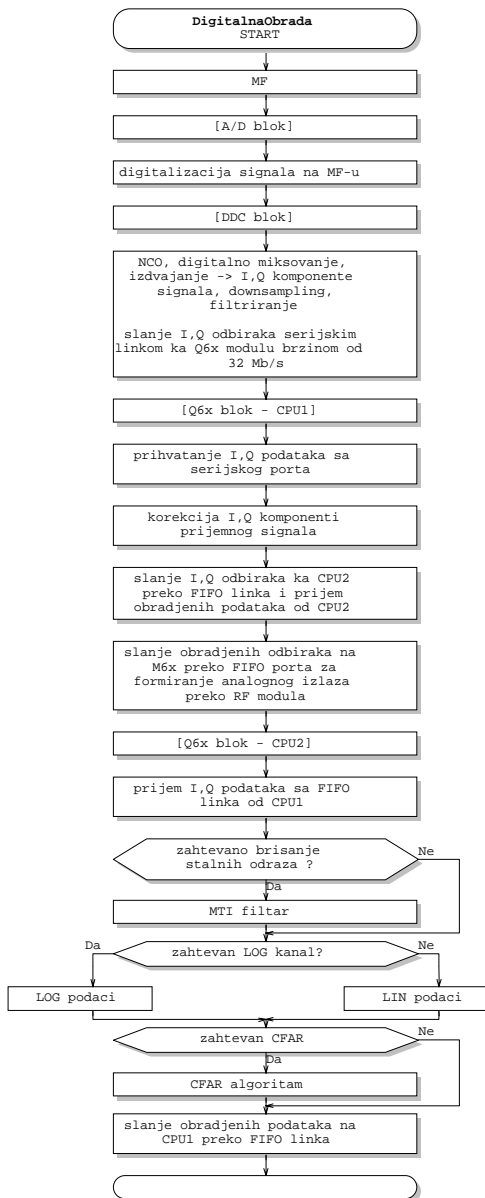
RF modul firme Innovative Integration je ultra brzi analogni ulazno/izlazni modul. Posедуje dva ulaza sa dva analogno/digitalna konvertora AD9226 firme Analog Devices. Njihove karakteristike su: rezolucija 12 bita i učestanost odabiranja 65 MHz maksimalno. Modul ima dva analogna izlaza preko digitalno/analognih konvertora AD9765 iste firme čija je rezolucija takođe 12 bita. Na njemu se nalazi i digitalni sintezator – DDS - AD9852 firme Analog Devices čija je maksimalna izlazna frekvencija 80 MHz.

4. SOFTVERSKA REALIZACIJA

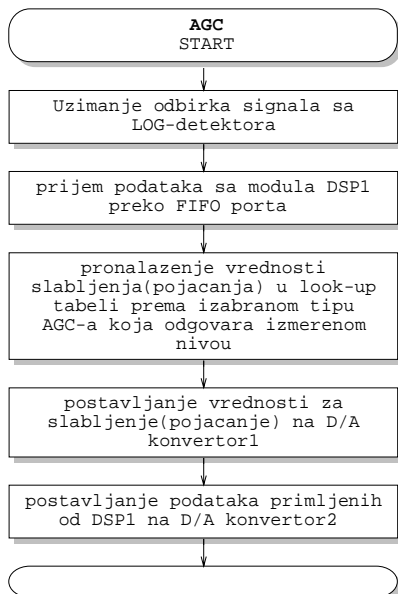
Na sl.3 dat je dijagram toka obrade signala u digitalnom radarskom prijemniku u blokovima A/D, DDC i DSP1 dok je na sl.4. dat dijagram toka obrade signala u bloku DSP2.

Posebna aplikacija, realizovana u C++ programskom jeziku, koja se izvršava na host računaru, inicijalizuje sve pomenute platforme i omogućava interaktivni rad operatara sa digitalnim radarskim prijemnikom. Iz aplikacije je moguće zadavanje raznih parametara relevantnih za funkcionisanje prijemnika:

- brisanje stalnih odraza (da/ne)
- uključen/isključen CFAR
- prag detekcije
 - o CFAR
 - GO
 - CA
 - o manuelno
- pojačanje na MF-u
 - o AGC
 - IAGC
 - STC (2/4)
 - o manuelno
- generisanje random PRF-a, odnosno učestanosti ponavljanja impulsa (neutralisanje "blind" brzina)

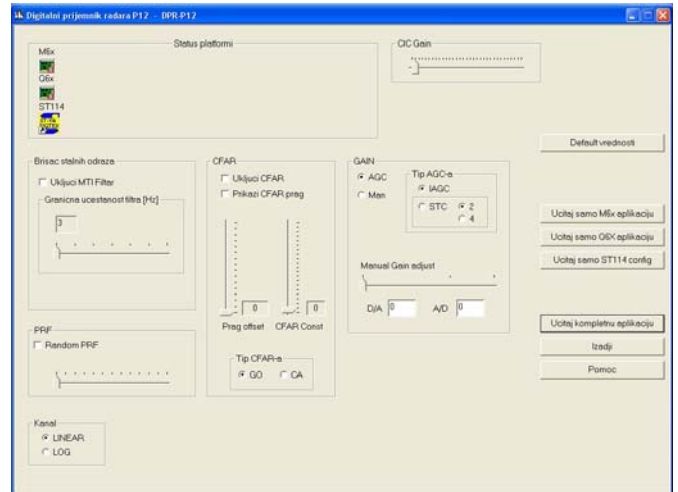


Sl.3. Dijagram toka obrade signala(A/D,DDC,DSP1)



Sl.4. Dijagram toka obrade signala u bloku DSP1

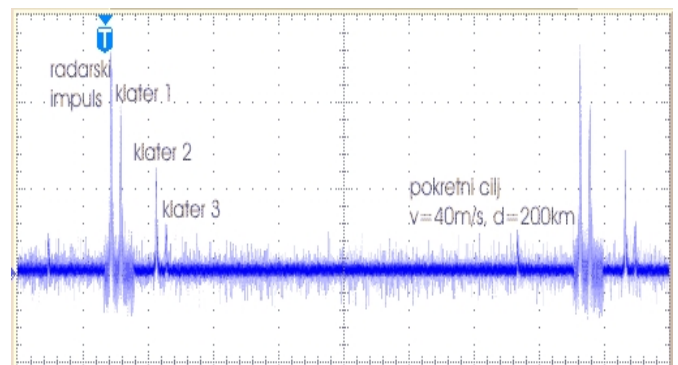
Radna verzija osnovnog ekrana aplikacije prikazana je na sl.5.



Sl.5. Radna verzija host aplikacije

5. EKSPERIMENTALNI REZULTATI

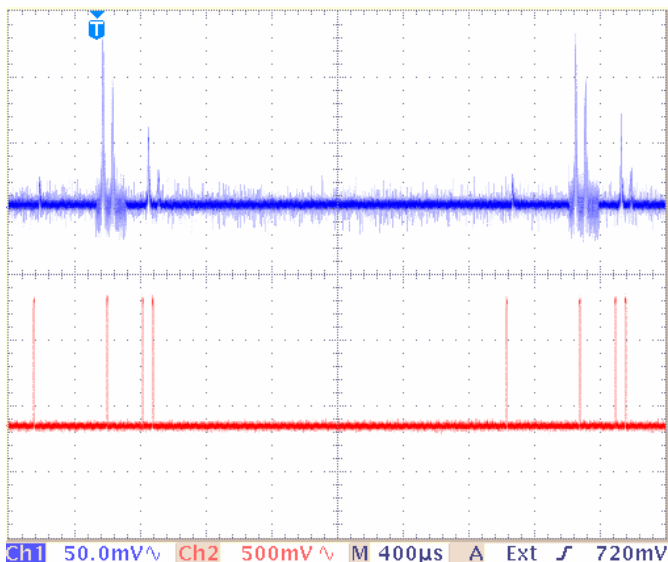
Za potrebe testiranja digitalnog radarskog prijemnika razvijen je poseban simulator radarskog signala zasnovan na kolu za direktnu digitalnu sintezu pomoću koga se realizuju interni testovi prijemnika (BITE). Generisani test signal može biti na nivou RF-a ili MF-a tako da se njime može testirati i analogni RF "front-end". Signal se sastoji iz predajnog impulsa i četiri radarska ehoa od kojih tri simuliraju "clutter" a jedan pokretni cilj koji se kreće brzinom od 40m/s, što odgovara Doplerovom pomeraju od 40Hz, na rastojanju 200km od predajnika. Amplitude ehoa su obrnuto proporcionalne rastojanju od radara (sl.6).



Sl.6. Test signal iz simulatora na MF-u

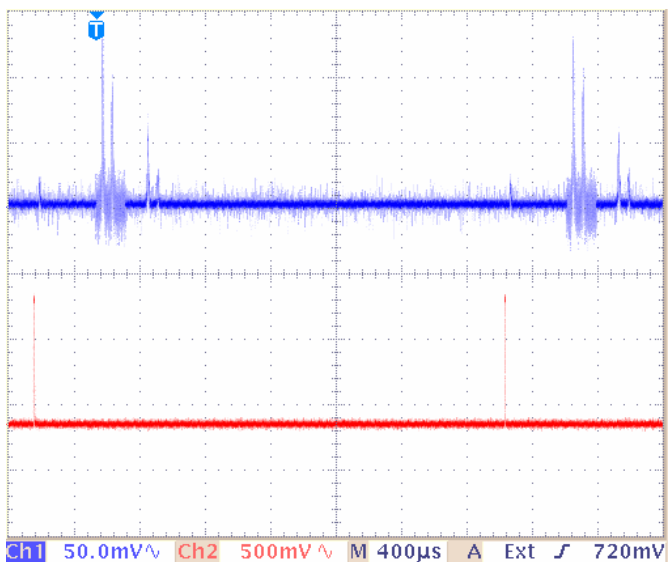
Prvi impuls predstavlja impuls predajnika. Drugi, treći i četvrti impuls su clutter-i sa nepromenljivom fazom u odnosu na predajni impuls. Peti impuls je pokretni cilj i njegova faza se linerano menja od jednog do drugog predajnog impulsa. Rezultat obrade (izlaz CFAR-a) takvog signala digitalnim radarskim prijemnikom ukoliko je isključen brisač stalnih odraza prikazan je na sl.7. Ukoliko je isključen brisač stalnih nepokretnih objekata (clutter), dok po uključenju MTI filtera ovi odrazi nepokretnih objekata treba da budu potisnuti, a propušteni samo odrazi pokretnih objekata (ciljeva).

Na slici 9. prikazan je PC računar sa pločama ST-114, M6x i Q6x.



Sl.7. Rezultat obrade test signala sa isključenim MTI filtrom (donji deo slike)

Ukoliko se uključi brisač stalnih odraza kao rezultat obrade dobija se signal prikazan na sl.8., sa koje je, u donjem delu slike, uočljivo odsustvo clutter-a.



Sl.8. Rezultat obrade test signala sa uključenim MTI filtrom (donji deo slike)



Sl.9. Advantech računar sa pločama ST-114, M6x i Q6x

5. ZAKLJUČAK

U radu je opisana praktična realizacija digitalnog radarskog prijemnika zasnovana na konceptu softverski definisanog radija. Opisana je hardverska i softverska arhitektura realizovanog fleksibilnog digitalnog radarskog prijemnika, koherentnog na prijemu, i dati rezultati funkcionalne provere prijemnika pri pobuđivanju radarskim eho signalom, generisanim pomoću simulatora radarskog signala, realizovanog posebno za te namene.

Ovaj rad je proistekao iz projekta tehnološkog razvoja za Ministarstvo nauke i zaštite životne sredine Srbije br. IT.1.18.0100.3 (2002-2004) i br. 6148 (2005-2007), kao i angažovanja IRITEL-a na programu modifikacije VVF radara cevne tehnologije. Razvijena i realizovana tehnička rešenja obezbeđuju unificiran pristup u procesu modifikacije i zamene zastarelih radarskih prijemnika cevne tehnologije. Planirana proizvodnja ovih prijemnika zasnovana je na korišćenju najsavremenijih softverskih i hardverskih modula i primeni elemenata softverskog radija.

LITERATURA

- [1] Stojavljević, M., Petrović, P., Saranovac, L., "Analiza mogućih pristupa razvoju softverski definisanog radio-prijemnika", *Zbornik radova sa Telfor-a 2003*, 26-28 novembar, 2003., Beograd
- [2] Petrović P., Mileusnić M., Pavić B., Remenski N., Stojavljević M., "Analiza uticaja A/D konvertora i DDC modula na performanse softverski definisanog radio-prijemnika", *Zbornik radova XLVIII Konferencije ETRAN-a*, Čačak, jun 7-11, 2004.
- [3] M.I. Skolnik, *Introduction to radar systems*, 2nd ed., McGraw-Hill Book Co., New York, 1980.
- [4] Fred E. Nathanson, *Radar design principles*, McGraw-Hill, 1969.
- [5] Jerry L.Eaves and Edward K.Reedy, *Principles of modern radar*, Van Nostrand Reinhold Company Inc., 1987

Abstract – The practical implementation of the VHF digital radar receiver based on the software radar concept with coherent-on-receive algorithm has been presented in this paper. The performances and characteristics of the hardware platforms used, as well as the receiver software realisation have been considered. For the sake of illustration, the results of test signal processing have been given, having in mind that the special radar signals simulator was developed for their generation.

PRACTICAL REALISATION OF DIGITAL RADAR RECEIVER

Ninoslav Remenski, Branislav Pavic, Mladen Mileusnic, Predrag Petrovic