

## FPGA IMPLEMENTACIJA OQPSK MODEMA VELIKOG PROTOKA

Dejan M. Dramićanin<sup>1</sup>, Dejan Rakić<sup>2</sup>  
 (<sup>1</sup>dejan@dramicanin.com, <sup>2</sup>dejan.rakic@signumconcepts.com)

**Sadržaj** – U ovom radu je predstavljena implementacija OQPSK modema sa protokom od 10,722Mbita. Ukratko je predstavljen i analiziran kompletan lanac digitalne obrade signala u modemu. Implementacija je izvršena na savremenoj FPGA razvojnoj platformi, primenom toka dizajna za “rapid prototyping” softverski definisanog radija. Ukratko je predstavljeno test-okruženje koje emulira uslove eksploatacije. U ovom okruženju su izvršena merenja performansi modema i na osnovu njih izvršeno poređenje sa teorijskim rezultatima. Dat je i pregled iskorišćenih resursa FPGA čipova (logika, množački i memorijski elementi), a kao ilustracija dat je pregled potrošnje energije svakog od podsistema modema.

### 1. UVOD

OQPSK (Offset-QPSK) sistemi su poznati u praksi duži niz godina. OQPSK (ili staggered QPSK) se od standardnog QPSK razlikuje jedino po tome što su  $d_I$  i  $d_Q$  impulsi pomereni u vremenu za pola perioda između dva simbola  $T_s/2$ . Kod QPSK, usled istovremene promene  $d_I$  i  $d_Q$ , faza nosioca se može promeniti samo jedan put u intervalu  $T_s$ . Nakon filtriranja kojim se postiže efikasna upotreba spektra, obvojnica QPSK signala nije više konstantna, dok povremeni fazni pomaci nosioca od  $180^\circ$  uzrokuju da obvojnica odlazi i do nule. Kada se ovakav signal propusti kroz npr. satelitski kanal sa nelinearnim transponderima, konstantna obvojnica prolazi, ali zajedno sa njom i sve neželjene bočne komponente, koje utiču na susedne kanale i na druge sisteme. Kod OQPSK-a, komponente  $d_I$  i  $d_Q$  su ofsetovane, tako da ne dolazi do njihove simultane promene. Ne postoji mogućnost promene faze od  $180^\circ$ , već su promene ograničene na  $0$  i  $\pm 90^\circ$  u intervalu  $T_s/2$ . Kada se OQPSK signal filtrira, obvojnica malo opada pri promenama faza od  $\pm 90^\circ$ , ali ne ide do nule. Kada signal prođe kroz nelinearne pojačavače, otklanja se pad obvojnice, ali se visokofrekvencijske komponente ne pojačavaju. Na ovaj način je potisnuto zračenje van opsega. Usled oblika obvojnice, OQPSK ima i povoljan odnos vršne i srednje snage, što ga čini efikasnijim u sistemima sa ograničenom potrošnjom [1, str.399, 406].

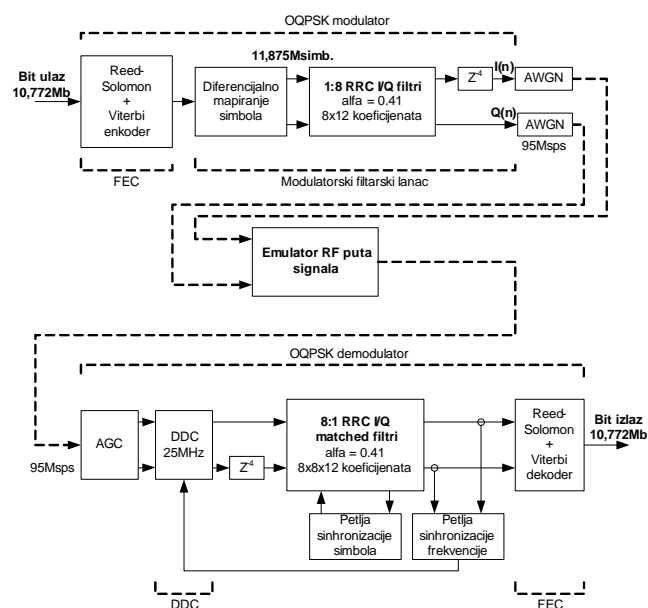
U ovom radu je predstavljena FPGA implementacija OQPSK modema sa protokom od 10,722Mbita. Definisan je potpun skup tehnologija (od tehnika obrade signala, pa do integracije modernog test okruženja za softverski definisani radio) koje su potrebne da se jedan ovakav uređaj razvije i testira. Kako je modem razvijen u našoj zemlji, jedna od motivacija je da se pokaže da FPGA tehnologija može značajno da unapredi domaće istraživačke i razvojne projekte fizičkog sloja savremenih komunikacionih uređaja.

Papir je organizovan na sledeći način. U drugom poglavlju su definisani skupovi parametara OQPSK sistema i okruženja eksploatacije. Dat je sistemski blok dijagram i predstavljena rešenja problema obrade signala. Treće poglavlje se bavi FPGA razvojnim okruženjem, primenjenim tokom dizajna i test okruženjem za podešavanje i merenja performansi. U četvrtom poglavlju upoređene su merene performanse sistema sa teorijskim. Analizirana je i potrošnja FPGA

resursa kao i potrošnja energije svakog od modula u lancu procesiranja.

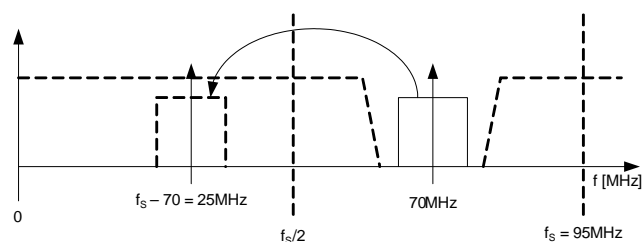
### 2. STRUKTURA OQPSK MODEMA

Na slici 1. prikazan je blok dijagram OQPSK modema predstavljenog u ovom radu.



Sl.1. Blok dijagram OQPSK modema

Modulator generiše talasne oblike u osnovnom opsegu, a prijemnik dobija signal centriran na 70MHz. Simbolska brzina je 11,875Msymb/sec, primenjuju se Viterbi  $1/2$  i Reed-Solomon (188, 206) (Forward Error Control, FEC), tako da je efektivna bitska brzina 10,722Mbps. Učestanost odabiranja je 95MHz, a filtri za oblikovanje spektra su koren iz podignutog kosinusa sa  $\alpha = 0.41$ . Kako se odabiranje vrši sa 95MHz, komponenta sa 70MHz se preslikava na 25MHz (Slika 2.), tako da je digitalni konvertor u osnovni opseg (DDC) centriran na toj učestanosti.



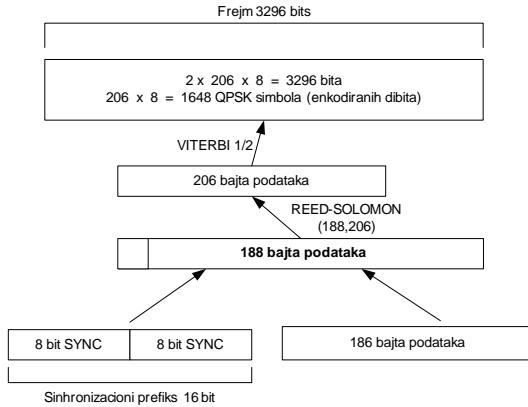
Sl.2. Proces sub-samplinga međufrekvencijskog opsega

Automatska kontrola pojačanja je specificirana tako da ima opseg od  $\pm 10$ dB, sa vremenskom konstantom od  $\sim 20$ dB/sec. Frekvencija nosioca je 900MHz, a dozvoljeni frekvencijski ofset je  $\pm 250$ kHz.

Struktura predložena na Slici 1., demoduliše signal tako što se na demodulatoru kasni suprotna kvadratura grana od one zakašnjene na modulatoru, pretvarajući problem u *QPSK* sa određenim specifičnostima. Postoje i drugi pristupi kod *OQPSK*, na primer kombinacija diferencijalnog enkodiranja na modulatoru i treliš strukture koja demoduliše signal sa ISI na demodulatoru, a *OQPSK* je moguće demodulisati i limiterom i frekvencijskim diskriminatorom.

## 2.1 Struktura podataka

Na Slici 3. prikazan je frejm u koji su formatirani podaci koji se prenose modemom.



Sl.3. Formatiranje podataka

Frejmovi se šalju kontinualno (*data streaming*). Grupi od 186 bajtova ulaznih podataka se dodaje 16-bitni sinhronizacioni prefiks. Tako nastalih 188 bajta enkodiraju se Reed-Solomon (188, 206) enkoderom i  $\frac{1}{2}$  konvolucionim enkoderom, što ukupno čini  $206 \times 2 \times 8 = 3296$  bita u svakom frejmu. Vreme ponavljanja sinhronizacionog prefiksa iznosi  $138,78\mu s$ .

## 2.2 Sinhronizacija simbola

Zadatak sinhronizacije simbola je da obezbedi učestanost odlučivanja iza prilagođenog (*matched*) filtra tako da odgovara simolskoj brzini na modulatoru, kao i da utvrdi optimalan momenat odlučivanja. Polifazne filterke banke mogu se efikasno primeniti u sinhronizaciji simbola upotrebom polifazne dekompozicije za realizaciju interpolacije [3]. Na ovaj način ujedinjuju se procesi interpolacije i filtriranja prilagođenim filtrom.

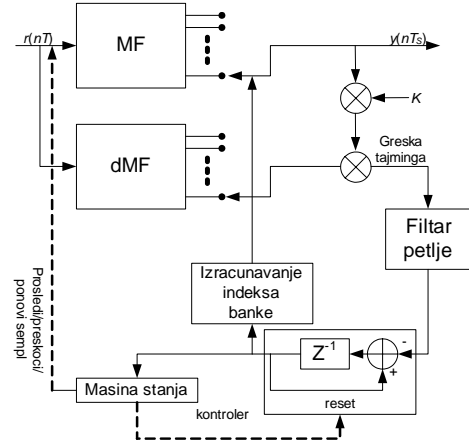
U predstavljenoj implementaciji, kontrola vremena odlučivanja je izvedena sa rezolucijom od  $1/64 \cdot T_s$ . Prototip prilagođenog filtra je *upsample*-ovan  $M=8$  puta  $h(nT_s/M)$  i transformisan u polifaznu filterku banku sa  $NM=64$  grane. Kako je potrebna redukcija učestanosti  $N$ , skok komutatora kroz grane polifazne banke iznosi  $M$ . Na ovaj način, u zavisnosti od ofseta komutatora  $m$ , vrši se fitiranje sa jednom od  $M$  replika usklađenog filtra  $h_m(nT_s)$ , koje su međusobno pomerene za  $T_s/(NM)$ .

$$h_m(nT_s) = h(nT_s + \frac{m}{M}T_s) \quad (1)$$

Ovom strukturom se ostvaruje i fino prilagođavanje učestanosti odabiranja povremenom promenom koraka kroz filterku banku. Postoji više metoda za detektovanje odstupanja momenta odabiranja [4],[5], a u ovom slučaju je primenjena metoda bazirana na ML principu [3]. Princip se zasniva na pronalaženju nepoznatog tajminga  $\tau$  koji maksimizira *log-likelihood* funkciju  $\Lambda(\tau)$  [5]:

$$\frac{d}{d\tau} \Lambda(\tau) = \sum_k \tanh\left(\frac{2E}{N_0} y(kT + \tau)\right) \frac{d}{d\tau} y(kT + \tau) = 0 \quad (2)$$

gde je  $y(kT + \tau)$  normalizovan izlaz prilagođenog filtra. Obično se  $\tanh(\cdot)$  zamenjuje sa  $\tanh(x) \approx x$  za male vrednosti SNR. Jednačina (2) sugerise dizajn petlje sinhronizacije simbola, čiji je blok dijagram prikazan na Slici 4.



Sl.4. Struktura petlje za sinhronizaciju simbola

Sinhronizaciona petlja se u osnovi sastoji iz četiri komponente: polifaznog prilagođenog filtra, detektora greške tajminga, filtra petlje i kontrolera. Sa MF je označen prilagođeni filtar, a sa dMF diferencirani prilagođeni filtar, čiji se koeficijenti izračunavaju kao:

$$\dot{h}_m(nT_s) = h_{m+1}(nT_s) - h_{m-1}(nT_s), \quad m = 1, 2, \dots, M-1 \quad (3)$$

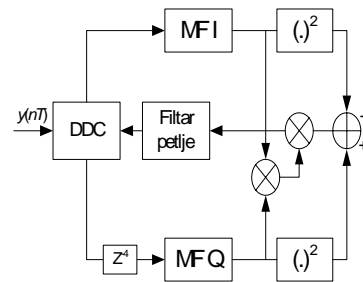
$$\dot{h}_0(nT_s) = h_1(nT_s) - h_{M-1}(nT_s) \quad (4)$$

$$\dot{h}_{M-1}(nT_s) = h_{M-2}(nT_s) - h_0(nT_s) \quad (5)$$

Detaljna analiza i implementacioni aspekti strukture za sinhronizaciju simbola koja se oslanja na ML princip dati su u [3], dok je implementacija na *FPGA* analizirana u [7].

## 2.3 Sinhronizacija učestanosti

Struktura petlje sinhronizacije učestanosti prikazana je na Slici 5.



Sl.5. Struktura petlje za sinhronizaciju učestanosti

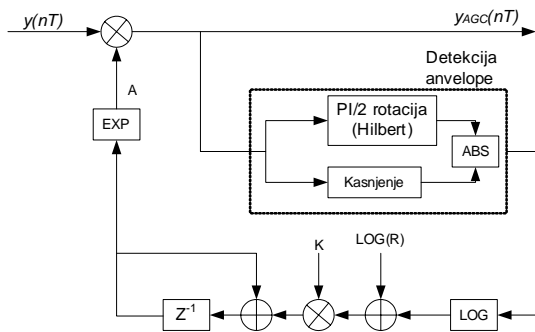
Petlja je suboptimalna implementacija izvedena iz *MAP* (*Maximum A Posteriori*) implementacije za *QPSK* [8]. Signal greške koji se vodi na filter petlje je:

$$e = I^*Q^3 - Q^*I^3 \quad (6)$$

## 2.4 Automatska kontrola pojačanja

Kako je zadati dinamički opseg automatske kontrole pojačanja (*AGC*) relativno uzak, *AGC* je izvedena potpuno digitalno, bez kontrole analognih pojačavača. *AGC* petlja je predstavljena na Slici 6. U osnovi, petlja je *LMS* adaptivni

filter, koji održava nivo efektivne vrednosti signala  $y_{AGC}$  na zadatom nivou  $R$ . Za detekciju obvojnice signala u međufrekvencijskom opsegu, primenjena je šema sa Hilbertovim transformatorom. Da bi petlja bila stabilna, pojačanje  $A$  je ograničeno.

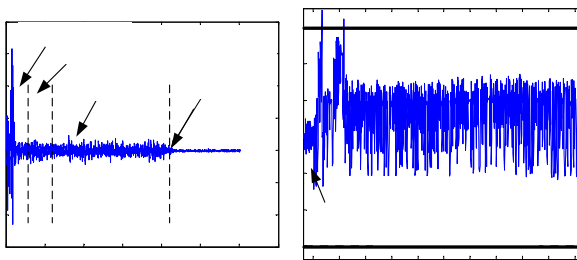


Sl.6. Sistem za automatsku kontrolu pojačanja

Takođe, primenjen je princip da je korekcija proporcionalna logaritmu odnosa željenog i izmerenog signala [6], a ne njihovoj razlici, što donosi veliko unapređenje u brzini i stabilnosti petlje.

## 2.5 Sinhronizaciona sekvenca

Nakon inicijalizacije sinhronizacije, sinhronizacione petlje se moraju podešavati u etapama, kako bi se našao optimalan odnos mogućnosti savladavanja velikih ofseta i preciznosti petlji. Prva se zatvara petlja sinhronizacije učestanosti, sa najširim propusnim opsegom. Petlja brzo konvergira i nakon određenog vremena, parametri se menjaju tako da se propusni opseg petlje smanji. U trećoj fazi, petlja se prebacuje u mod praćenja, gde je i najpreciznija. Kada se signal greške ustali, zatvara se petlja sinhronizacije simbola, koja brzo konvergira. Odzivi petlji u pojedinim fazama prikazani su na Slici 7.



Sl.7. Odziv petlji sinhronizacije učestanosti (levo) i simbola (desno)

Nakon stabilizovanja konstelacije, započinje sinhronizacija na nivou bita. Implementirani mehanizam pokušava da pronađe sinhronizacioni prefiks u nizu bita iza Viterbi dekodera. Kod koherentno demodulisano *OQPSK* postoji četiri položaja stabilne ravnoteže petlji (0 i 180° kod sinhronizacije simbola, kao i permutacija dibita kod sinhronizacije učestanosti), tako da se traženje prefiksa radi u četiri faze. U toku stabilnog stanja modema, proverava se periodičnost pojavljivanja prefiksa, takoda algoritam detektuje ispad sinhronizacije i reinicijalizuje postupak.

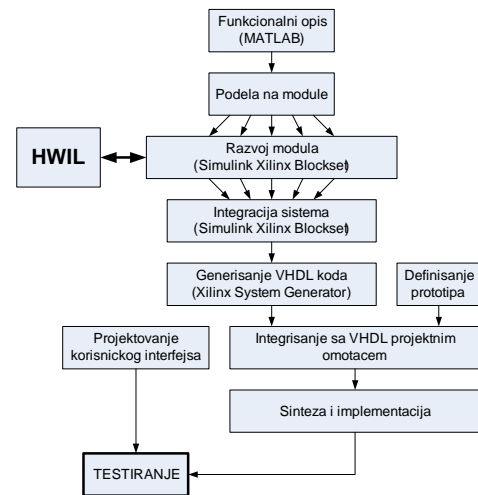
## 3. FPGA IMPLEMENTACIJA

### 3.1 FPGA platforma

U razvoju je korišćeno *Nallatech ExtremeDSP* okruženje. Set se sastoji od matične ploče sa jednim DIME-II priključkom (*BenOne*) i dodatne kartice sa *Xilinx Virtex-2 XC2V6000-4* FPGA čipom i dva ulazna (105MSPs, 14-bit) i dva izlazna (160MSPs, 14-bit) analogna kanala (*BenADDA*). Sistem se preko PCI ili USB interfejsa povezuje sa nadređenim računarnom. Softverska podrška obuhvata USB i PCI drajvere, kao i API biblioteke za konfiguraciju i komunikaciju sa *FPGA*.

### 3.2 Tok dizana (design flow)

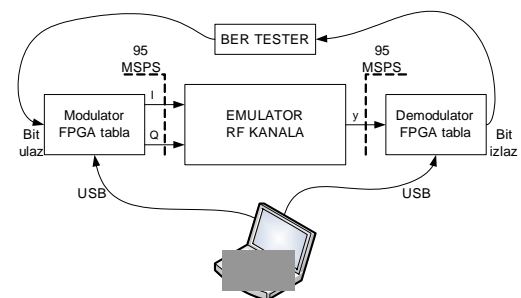
*OQPSK* modem je razvijen primenom toka dizajna optimisanog za rapidnu izradu prototipa, predloženog u [2].



Sl.8. Tok *FPGA* dizajna sa 'hardverom u petlji'

Razvoj modula, kao i systemska integracija modema urađena je u *Simulink*-u, upotrebom *Xilinx Blockset*-a za projektovanje modela namenjenih implementaciji na *FPGA*. Ovakav model se alatom *Xilinx System Generator* pretvara u VHDL kod. Ovo je najmoderniji alat namenjen *FPGA* razvoju, koji značajno ubrzava projektovanje aplikacija koje se oslanjaju na digitalnu obradu signala. Dodatna tehnika koja je primenjena u ovom projektu je tzv. *Hardware-In-The-Loop*, koja omogućava da se deo modela prebaci direktno na *ExtremeDSP* hardver, koji tada služi kao akcelerator za simulacije (mod hardverske ko-simulacije).

Projektni omotač je takođe specifična karika dizajn-toka sa Slike 8. On obezbeđuje da projektant ima na raspolaganju sistem virtualne instrumentacije kojim je moguće testirati prototip implementiran na *FPGA*, kao i kontrolisati parametre pri testiranju u sprezi sa okolnim uređajima. Više detalja vezanih za projektni omotač i koncept virtualne instrumentacije takođe se mogu pronaći u [2].



Sl.9. Postavka za testiranje *OQPSK* modema

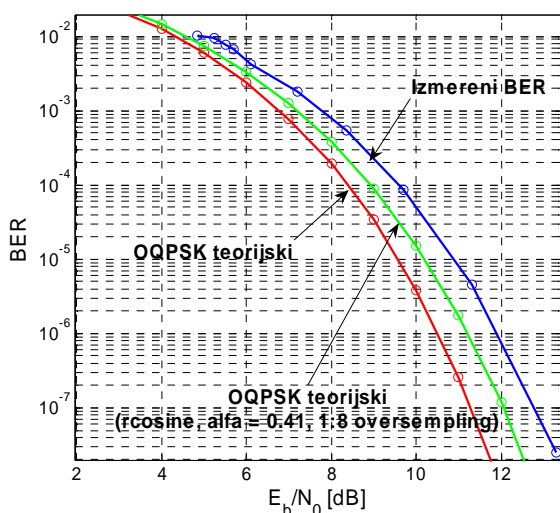
### 3.3 Integracija sistema

Modem je testiran u okruženju koje emulira uslove eksploatacije (Slika 9.) Računar je kontrolisao i konfigurisao obe table preko USB interfejsa.

Iz test aplikacije na nadređenom računaru moguće je podešavati sve koeficijente petlji i vršiti reinicijalizaciju sinhronizacione sekvence. Takođe, podešava se snaga AWGN i precizno kalibriše odnos signal/šum. Na obe table je moguće logovati signale u svim kritičnim tačkama radi analize i finih podešavanja.

### 4. REZULTATI

Na Slici 10. prikazano je poređenje teorijskih i merenih performansi *OQPSK* modema. (Merenja su vršena bez *FEC*.)



Sl.10. Poređenje merenih performansi sistema sa teorijskim rezultatima

Implementacioni gubitak od 0.5dB pri BER od  $10^{-5}$  je očekivan i najviše uzrokovan džiterom takta sistema. Takođe, uzrok gubitka je i odziv sinhronizacionih petlji, kao i nelinearnost radio-frekvencijskog puta signala.

U tabeli 1. je dat pregled zauzetost *FPGA* resursa svakog od modula u modemu. Takođe, data je i estimacija potrošnje za *Virtex2*, *Virtex2Pro* i *Spartan3L* familije *FPGA*. Primetna je daleko manja potrošnja *Spartan3L* familije koja je zasnovana na 90nm procesu proizvodnje.

Virtex-II / Virtex-II Pro / Spartan3L				
Modul	Zauzeti resursi			Potrosnja (mW) V (Estimirana) (mW)
	Slajsova	BRAM 18K	MULT 18x18	
<b>OQPSK Modulator 10.7Mbps</b>				
Mirna potrosnja	0	0	0	360/470/160
Modulatorski filtri	1059	0	24	194/251/137
Konverzija frek. (opciono)	120	7	2	63/64/34
Reed-Solomon enkoder	200	2	0	91/75/40
Dodatno procesiranje i logika	200	0	0	81/68/35
<b>Suma</b>	<b>1579</b>	<b>9</b>	<b>26</b>	<b>789/928/406</b>
<b>OQPSK Demodulator 10.7Mbps</b>				
Mirna potrosnja	0	0	0	360/477/160
Demodulatorski filtri sa sinhronizacijom simbola	3277	1	39	815/663/326

DDC	100	7	2	61/62/32
Sinhronizacija ucestanosti	513	8	9	160/126/69
Reed-Solomon dekoder	650	2	0	205/130/76
Viterbi dekoder	2905	4	0	60/55/30
Dodatno procesiranje i logika	791	0	0	210/140/83
<b>Suma</b>	<b>7586</b>	<b>20</b>	<b>50</b>	<b>1871/1653/776</b>

Tabela 1. Pregled zauzetih *FPGA* resursa i estimacija potrošnje snage

### 5. ZAKLJUČAK

U ovom radu prikazana je *FPGA* implementacija *OQPSK* modema sa bitskim protokom od 10,772Mbps. Predstavljani su glavni problemi digitalne obrade signala i date su smernice za njihovo prevazilaženje. Ukratko je prikazana *FPGA* platforma na kojoj je modem implementiran, kao i specifičan tok dizajna prilagođen brzom izradi prototipa. Dati su rezultati testiranja performansi i poređenja sa teorijom. Na kraju, dat je pregled zauzetosti *FPGA* resursa, kao i procena potrošnje snage za tri popularne *FPGA* familije.

### LITERATURA

- [1] Bernard Sklar, "Digital Communications: Fundamentals and Applications", *P T R Prentice Hall*, May 1988.
- [2] Dejan M. Dramićanin, Dejan Rakić, Slobodan Denić, Veljko Vlahović, „*FPGA PROTOTIP 802.11A BASEBAND PROCESORA*“, *ETRA 2004*, Čačak, jun 2004.
- [3] Fredric J. Harris and Michael Rice, "Multirate Digital Filters for Symbol Timing Synchronization in Software Defined Radios", *IEEE JSSAC*, vol. 19, no. 12, Dec. 2001.
- [4] K. H. Mueller and M. Müller, "Timing recovery in digital synchronous data receivers," *IEEE Trans. Commun.*, vol. 34, pp. 423–429, May 1976.
- [5] L. E. Franks, "Carrier and bit synchronization in data communication - A tutorial review," *IEEE Trans. Commun.*, vol. 28, pp.1107–1121, Aug. 1980.
- [6] F.J.Harris and G. Smith, "On the Design, Implementation, and Performance of a MCU Controlled AGC System for a Digital Receiver" *Milcom-88*, 1988.
- [7] C. Dick, M. Rice, and F. J. Harris, "Synchronization in software radios: Carrier and timing recovery using *FPGA*'s," *Proc. IEEE Symp. Field Programmable Custom Computing Machines*, Napa Valley, CA, Apr.2000.
- [8] M.K.Simon, "Carrier Synchronization of Offset Quadrature Phase-Shift Keying", *TMO Progress Report 42-133*, May 1998.

**Abstract** – In this paper, we present *FPGA* implementation of broadband *OQPSK* modem. Digital signal processing problems in such a design are summarized, with brief insight into possible solutions. *FPGA* development environment is presented, along with custom design flow. Performance measurements of implemented modem are compared with theory. *FPGA* resources and power consumption are presented as a concluding remark.

### FPGA IMPLEMENTATION OF BROADBAND OQPSK MODEM

Dejan M. Dramićanin, Dejan Rakić