

DIGITALNA TERNARNA BiCMOS ELEKTRONSKA KOLA SA STANJEM VISOKE IMPEDANSE NA IZLAZU

Zlatko Bundalo, *Elektrotehnički fakultet, Banja Luka, Republika Srpska, BiH*
Dušanka Bundalo, *Nova banjalučka banka, Banja Luka, Republika Srpska, BiH*
Branimir Đorđević, *Elektronski fakultet, Niš, Srbija i Crna Gora*

Sadržaj – U radu se razmatraju i predlažu mogućnosti i načini sinteze i realizovanja ternarnih digitalnih BiCMOS elektronskih kola koja mogu imati stanje visoke impedanse na izlazu. Prvo je predložen i opisan opšti princip sinteze električne šeme takvog ternarnog BiCMOS logičkog kola. Zatim su, na osnovu navedenog principa, predložena i opisana konkretna rješenja dobivenih ternarnih BiCMOS logičkih kola sa stanjem visoke impedanse na izlazu. Prvo su dati i opisani načini realizovanja osnovnih takvih ternarnih BiCMOS logičkih kola. Zatim su predložene i prikazane mogućnosti dobivanja poboljšanih ternarnih BiCMOS logičkih kola sa stanjem visoke impedanse na izlazu. Sva predložena i opisana kola su analizirana pomoću kompjuterske simulacije. U radu su razmotrene najznačajnije karakteristike predloženih kola i dati neki rezultati dobiveni simulacijom.

1. UVOD

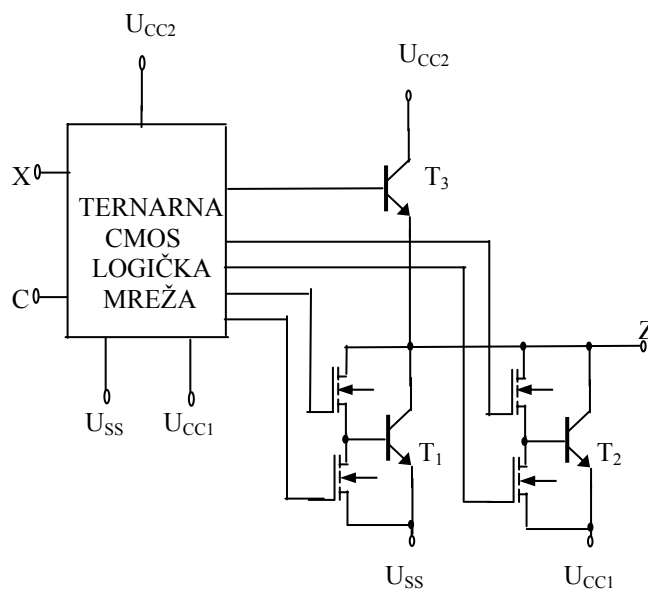
U praksi se još uvijek uglavnom koriste digitalni binarni sistemi. Ali, u mnogim primjenama bilo bi poželjno koristiti digitalne sisteme sa većom osnovom, tzv. MV sisteme [1,2,3]. Takođe, nastojanja da se zadrže prednosti i CMOS i TTL logike, dovode do toga da se sve više primjenjuje BiCMOS tehnologija. Zbog toga postoji interes za korištenje MV BiCMOS digitalnih kola i sistema. Primjena zajedničkih magistrala u takvim sistemima dovodi do potrebe realizovanja i korištenje MV BiCMOS digitalnih kola sa stanjem visoke impedanse na izlazu.

U radu se razmatraju, predlažu i opisuju mogućnosti i načini sinteze i realizovanja ternarnih BiCMOS logičkih kola koja imaju stanje visoke impedanse na izlazu. Prvo se predlaže i opisuje opšti princip sinteze takvog ternarnog BiCMOS logičkog kola. Na osnovu tog principa se zatim predlažu i opisuju konkretna rješenja BiCMOS ternarnih logičkih kola sa stanjem visoke impedanse na izlazu. Prvo je dat i opisan način realizovanja osnovnih takvih ternarnih BiCMOS logičkog kola. Zatim su predložene i prikazane mogućnosti dobivanja poboljšanih ternarnih BiCMOS logičkih kola sa stanjem visoke impedanse na izlazu koja imaju poboljšane karakteristike u odnosu na osnovna takva kola. Sva predložena i opisana rješenja su analizirana pomoću kompjuterske PSPICE simulacije. U radu su razmotrene najznačajnije karakteristike predloženih kola i dati neki rezultati dobiveni simulacijom.

2. OPŠTI PRINCIP SINTEZE

Ovdje se predlaže opšti princip sinteze električne šeme ternarnih BiCMOS logičkih kola koja imaju stanje visoke impedanse na izlazu. On je baziran na principima koji su opisani u radovima [4,5].

Predloženi opšti princip sinteze električne šeme ternarnih BiCMOS logičkih kola sa stanjem visoke impedanse na izlazu prikazan je na sl.1. Radi se o kolu sa jednim informacionim ulazom X i kontrolnim ulazom C za omogućavanje izlaza. Ovaj princip je zasnovan na korišćenju ternarne CMOS logičke mreže na ulazu i ternarnog BiCMOS izlaznog stepena. Ternarna CMOS logička mreža upravlja na odgovarajući način bipolarnim i MOS tranzistorima u izlaznom stepenu. Kada je na kontrolnom ulazu C=2 ternarna CMOS logička mreža upravlja tako tranzistorima u izlaznom stepenu da čitavo ovo kolo funkcioniše kao ternarno BiCMOS logičko kolo. Tada je izlaz omogućen i na njemu se dobiva jedno od mogućih ternarnih stanja u zavisnosti od stanja na ulazu X. Ako se na kontrolni ulaz dovede stanje C=0 onda će ternarna CMOS logička mreža generisati takve signale koji će isključiti sve bipolarne tranzistore i na izlazu će se dobiti stanje visoke impedanse. Tada je izlaz onemogućen i nalazi se u stanju visoke impedanse. Kada je izlaz omogućen izlazni BiCMOS stepen daje potrebne izlazne nivoe i povećanu brzinu rada u odnosu na ternarno CMOS logičko kolo ovog tipa. Bipolarni tranzistori u izlaznom stepenu obezbjeđuju velike izlazne struje, a to povećava brzinu rada kola pri većim opterećenjima.



Sl.1. Opšti princip sinteze električne šeme.

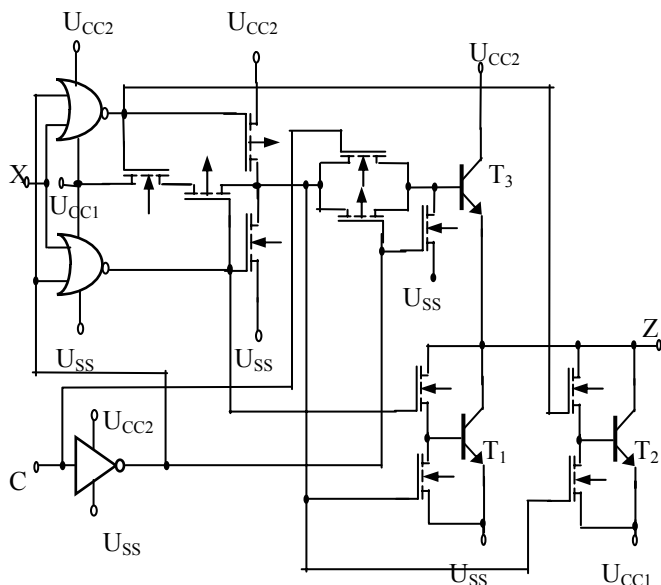
Predloženi opšti princip daje mogućnost dobivanja različitih konkretnih rješenja električnih šema takvih logičkih kola, sa različitim karakteristikama. Sinteza se u osnovi svodi na sintezu odgovarajuće šeme ternarne CMOS logičke mreže. Kako postoji više mogućih načina dobivanja te šeme, zavisno od konkretno korištenih elemenata za sintezu, onda je

moгуće dobiti više razliĉitih šema te logiĉke mreže i više razliĉitih šema kompletnog ternarnog BiCMOS kola sa stanjem visoke impedanse na izlazu. Između svih tih mogućih rješenja ovdje se predlažu i opisuju neka od onih koja imaju najbolje karakteristike za pojedine konkretne uslove primjene.

Ovdje se predlažu i opisuju dva tipa i dva načina dobivanja ternarnih BiCMOS logiĉkih kola sa stanjem visoke impedanse na izlazu. Prvo su opisana tzv. osnovna kola, odnosno jednostavnija kola, koja koriste manji broj ukupnih tranzistora ali imaju manju brzinu rada pri većim opterećenjima. Zatim su opisana tzv. poboljšana kola koja imaju veći ukupan broj tranzistora ali veću brzinu rada pri većim opterećenjima.

3. OSNOVNA KOLA

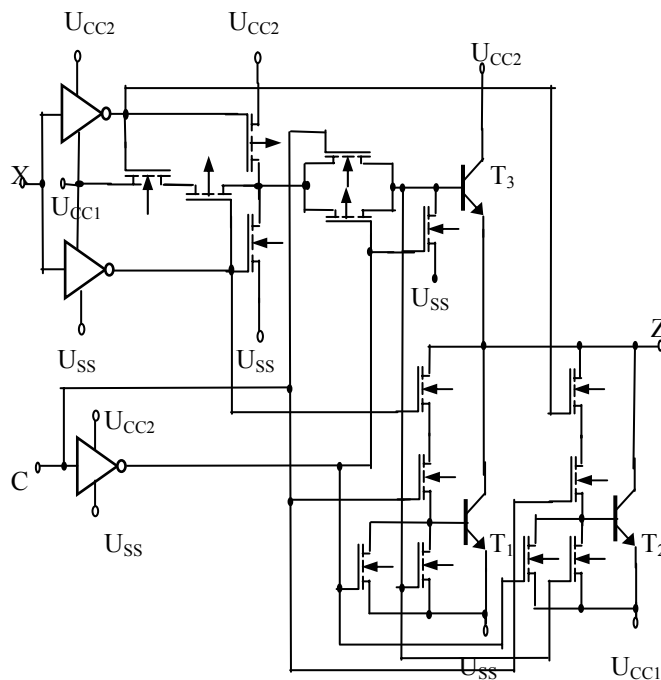
Predložena elektriĉna šema osnovnog, odnosno jednostavnijeg, ternarnog BiCMOS kola sa stanjem visoke impedanse na izlazu prikazana je na sl.2. Na ulazu se nalaze standardna binarna CMOS NILI logiĉka kola od kojih je svako vezano između dva pola izvora za napajanje. Zajedno sa ostalim standardnim MOS tranzistorima ona upravljaju izlaznim bipolarnim tranzistorima i obezbjeđuju potreban način funkcionisanja ĉitavog kola. Kada je $C=2$ kolo funkcioniše kao standardno ternarno BiCMOS logiĉko kolo. Na izlazu se dobiva jedno od tri moguća BiCMOS logiĉka stanja i kolo tada ima logiĉku funkciju $Z=X$. Kada je $C=0$ onda se ulazna binarna CMOS NILI logiĉka kola i ostali MOS tranzistori nalaze u takvom stanju da obezbjeđuju da su svi bipolarni tranzistori iskljuĉeni. Izlaz kola je odvojen od svih napona napajanja i nalazi se u stanju visoke impedanse.



Sl.2. Osnovno ternarno BiCMOS kolo sa stanjem visoke impedanse na izlazu.

Ovdje će biti prikazano još jedno interesantno rješenje ovakvih jednostavnijih kola. Ono koristi isti broj tranzistora kao i prethodno kolo sa sl.2. Međutim, posjeduje jednostavniji ulazni dio. Istina, zbog toga je njegov izlazni stepen složeniji od onih sa sl.1 i sl.2. Međutim, takvo kolo će imati bolje karakteristike, odnosno veću brzinu rada u

slučajevima kada se radi o vrlo malim kapacitivnim opterećenjima, odnosno kad je potrebno samo dobiti stanje visoke impedanse na izlazu.



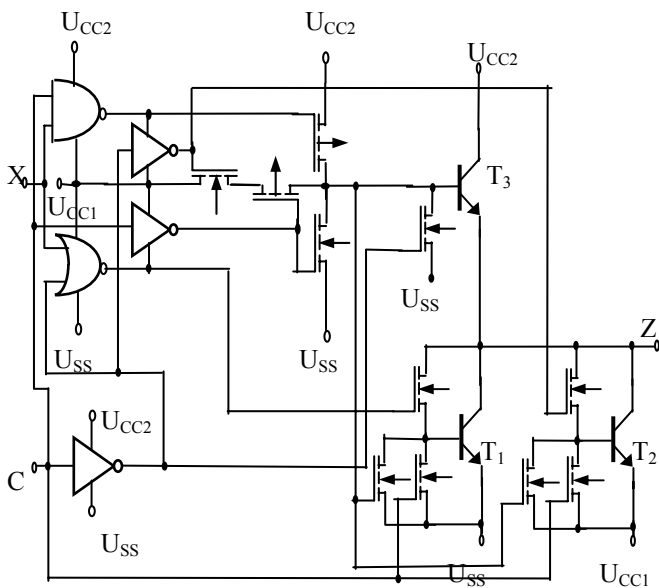
Sl.3. Druga varijanta osnovnog ternarnog BiCMOS kola sa stanjem visoke impedanse na izlazu.

Nedostatak ovakvih osnovnih, jednostavnijih kola je u tome što imaju serijsku vezu MOS tranzistora u kolima uključivanja i iskljuĉivanja bipolarnih tranzistora. Tako se smanjuju struje uključivanja i iskljuĉivanja bipolarnih tranzistora i povećavaju ukupna vremena kašnjenja, odnosno smanjuje brzinu rada takvih kola. To posebno dolazi do izražaja kada se radi o velikim opterećenjima kola. Prednost ovakvih rješenja je u tome što koriste manji broj tranzistora i što imaju manju ukupnu potrošnju iz izvora za napajanje. Zbog toga je opravdano da se koriste u onim situacijama kad se radi o malim opterećenjima a gdje je potrebno dobiti stanje visoke impedanse na izlazu.

4. POBOLJŠANA KOLA

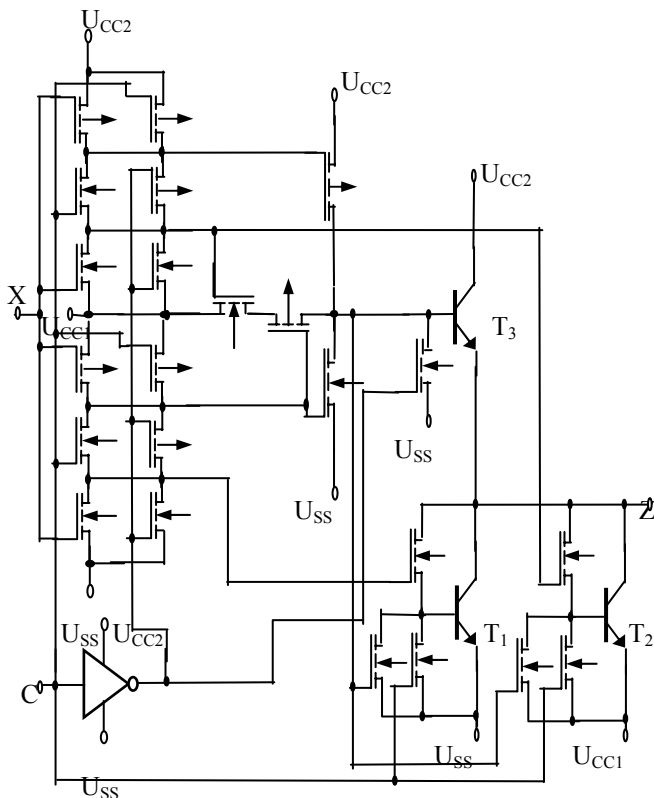
Na osnovu opisanog principa i opšte šeme sa sl.1 može se realizovati više razliĉitih konkretnih šema poboljšanih ternarnih BiCMOS logiĉkih kola sa stanjem visoke impedanse na izlazu. Kako će se dobiti konkretna šema zavisi od načina realizovanja ternarne CMOS logiĉke mreže na ulazu kola. Ovdje će biti predložena i prikazana dva konkretna rješenja koja imaju najbolje karakteristike.

Na sl. 4 je prikazana šema prve varijante poboljšanog ternarnog BiCMOS kola sa stanjem visoke impedanse na izlazu. Za realizovanje ternarne CMOS logiĉke mreže ovdje su korištena standardna binarna CMOS kola (NI kolo, NILI kolo i invertori) i standardni MOS tranzistori. Da bi se dobila jednostavnija ukupna elektriĉna šema ovdje je nešto modifikovan izlazni BiCMOS stepen u odnosu na osnovni princip sa sl.1. Dodati su po jedan NMOS tranzistor u kolo baze bipolarnih tranzistora T_1 i T_2 . Međutim, ta modifikacija ima pozitivan efekat, a to je smanjenje vremena kašnjenja pri prelasku izlaza kola u stanje visoke impedanse.



Sl.4. Poboljšano ternarno BiCMOS kolo sa stanjem visoke impedanse na izlazu.

Druga varijanta poboljšanog ternarnog BiCMOS kola sa stanjem visoke impedanse na izlazu je predložena i prikazana na sl.5. Za realizovanje ternarne CMOS logičke mreže ovdje se koristi mreža standardnih MOS tranzistora. Da bi se dobila jednostavnija ukupna električna šema i ovdje je modifikovan izlazni BiCMOS stepen na isti način kao i kod kola na sl.4. Ta modifikacija i ovdje ima isti pozitivan efekat.



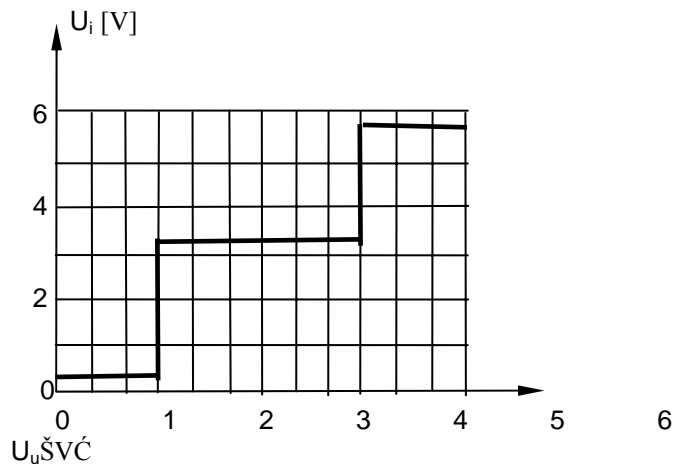
Sl.5. Optimalno poboljšano ternarno BiCMOS kolo sa stanjem visoke impedanse na izlazu.

Kolo na sl.4 ima neke nedostatke koji su eliminisani i djelimično ublaženi kod kola na sl.5. To su serijska veza MOS tranzistora i veće opterećenje MOS tranzistora u ternarnoj CMOS ulaznoj mreži. Ti nedostaci se nepovoljno odražavaju na dinamičke karakteristike kola na sl.4. Kako su ti problemi dosta smanjeni kod kola na sl.5, to kolo ima manja vremena kašnjenja i veću brzinu rad nego kolo na sl.4. To posebno dolazi do izražaja u slučajevima kad se radi o velikim opterećenjima kola. Stoga je kolo na sl.5 optimalno za korištenje kada treba pobuđivati velika opterećenja.

5. REZULTATI ANALIZE

Detaljno su analizirani statički i dinamički parametri predloženih i opisanih ternarnih BiCMOS kola sa stanjem visoke impedanse na izlazu. Korištena je PSPICE simulacija. Ovdje će biti dati neki od rezultata simulacije. Dobiveni su PSPICE simulacijom za napone napajanja $U_{SS} = 0V$, $U_{CC1} = 3V$, $U_{CC2} = 6V$ i za parametre CMOS i BiCMOS tehnološkog procesa date u radu Š6Ĉ. Pri simulaciji je uzeto da svi MOS tranzistori imaju jednake napone pragova i jednake transkonduktanse (konstante β).

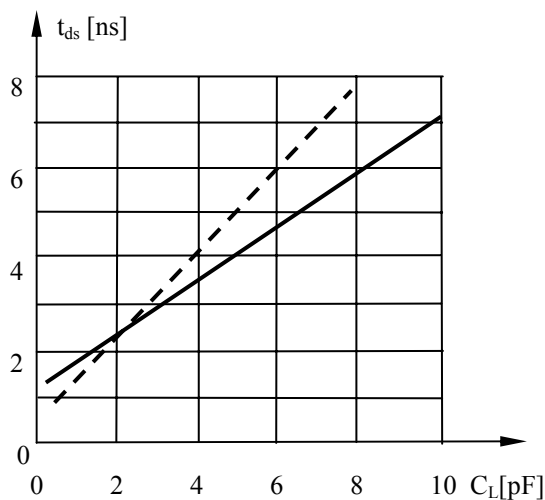
Na statičku naponsku prenosnu karakteristiku najviše utiču binarna CMOS kola i tranzistori na ulazu. Oni definišu napone pragova cjelokupnog kola u slučaju kada je $C=2$. Prema tome, naponi pragova se mogu približno izračunati na način kako se određuju za ta binarna CMOS kola sa odgovarajućim naponima napajanja. Statička naponska prenosna karakteristika ternarnog BiCMOS kola sa sl.5 pri omogućenom izlazu ($C=2$), dobivena PSPICE simulacijom, prikazana je na sl.6. Vidi se da karakteristika ima isti oblik kao kod standardnog ternarnog BiCMOS logičkog kola. Slične prenosne karakteristike imaju i ostala opisana kola.



Sl.6. Statička prenosna karakteristika kola sa sl.5.

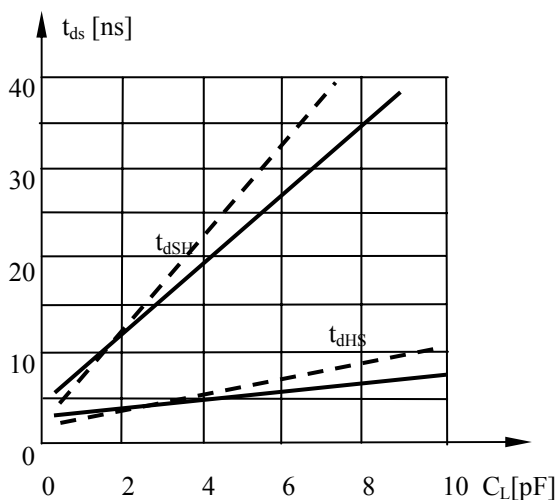
Dinamički parametri opisanih ternarnih BiCMOS kola prvenstveno zavise od veličine napona napajanja, snage izlaznih bipolarnih tranzistora i kapacitivnog opterećenja kola. Najznačajniji dinamički parametar je srednje vrijeme kašnjenja kola t_{ds} . Ono se smanjuje sa povećanjem napona napajanja, sa porastom snage izlaznih tranzistora i sa smanjenjem kapacitivnog opterećenja kola. Zavisnost srednjeg vremena kašnjenja od vrijednosti napona napajanja i veličine kapacitivnog opterećenja je približno linearna, a od snage izlaznih tranzistora nije linearna. Srednje vrijeme

kašnjenja u funkciji kapacitivnog opterećenja C_L za osnovno kolo sa sl.3 (- - -) i za poboljšano kolo sa sl.5 (-----) je prikazano na sl.7. Rezultati su dobiveni PSPICE simulacijom za iste uslove za koje je dobivena i statička naponska prenosna karakteristika. Ovi rezultati potvrđuju zaključke u vezi brzine rada iznesene pri opisu ovih kola.



Sl.7. Srednje vrijeme kašnjenja kola sa sl.3 i sl.5 u funkciji C_L .

Kod logičkih kola sa stanjem visoke impedanse na izlazu značajna su i srednja vremena prelaska u/iz stanja visoke impedanse iz/u neko od statičkih stanja. Na sl.8 su prikazana, simulacijom dobivena, ta vremena za kola sa sl.3 (- - -) i sl.5 (-----) u funkciji od C_L . Sa t_{dSH} je označeno srednje vrijeme prelaska u stanje visoke impedanse, a sa t_{dHS} srednje vrijeme prelaska iz stanja visoke impedanse.



Sl.8. Srednje vrijeme kašnjenja prelaska u i iz stanja visoke impedanse za kola sa sl.3 i sl.5 u funkciji C_L .

6. ZAKLJUČAK

Predloženi i opisani principi i konkretni načini sinteze i realizovanja ternarnih BiCMOS logičkih kola sa stanjem visoke impedanse na izlazu su jasni, sistematizovani i dosta jednostavni. Zasnovani su na korišćenju binarnih CMOS logičkih kola i standardnih MOS tranzistora, te BiCMOS izlaznog stepena. Binarna CMOS kola i standardni MOS tranzistori na adekvatan način upravljaju izlaznim BiCMOS

stepenom, a izlazni stepen povećava izlaznu snagu i smanjuje srednja vremena kašnjenja.

Predložena osnovna kola su jednostavnija i koriste manji ukupan broj tranzistora. Međutim, imaju veća srednja vremena kašnjenja pri većim opterećenjima. Predložena poboljšana kola koriste veći broj tranzistora, ali imaju manja srednja vremena kašnjenja pri većim opterećenjima. Prema tome, osnovna kola je opravdano koristiti u situacijama kad se radi o malim opterećenjima, obično unutra integrisanog kola. Poboljšana kola treba koristiti kad se radi o većim opterećenjima, ili unutra integrisanog kola ili na priključcima integrisanog kola.

Sva predložena i opisana kola su detaljno analizirana pomoću PSPICE simulacije. Pri tom su korišteni modeli i parametri MOS i bipolarnih tranzistora jednog starijeg $2\mu\text{m}$ tehnološkog procesa. Zbog toga su simulacijom dobivene relativno velike vrijednosti srednjih vremena kašnjenja. Pri simulaciji je korišten navedeni tehnološki proces kako bi se rezultati mogli uporediti sa rezultatima analiza nekih drugih ternarnih logičkih kola koja su razmatrana i opisana u ranijim radovima a pri čijoj simulaciji su korišteni parametri istog tehnološkog procesa.

LITERATURA

- [1] K. C. Smith, Multiple-valued logic: a tutorial and appreciation, *Computer*, april 1988, pp. 17-27.
- [2] A. K. Jain et al., CMOS Multiple-Valued Logic Design- Part I, Part II, *IEEE Transactions on CAS-I: Fundamental theory and applications*, august 1993, pp.505-522.
- [3] N. R. Shanbhag et al., Quaternary logic circuits in $2\mu\text{m}$ CMOS technology, *IEEE Journal of Solid State Circuits*, june 1990, pp.790-799.
- [4] D. M. Bundalo, Z. V. Bundalo, "Ternarna BiCMOS logička kola, Zbornik radova 41. konferencije ETRAN, Zlatibor, 1997, str. 54-56.
- [5] Z. Bundalo, D. Bundalo, Ternarna CMOS logička kola sa stanjem visoke impedanse na izlazu, Zbornik radova 39. konferencije ETRAN, Zlatibor, 1995, str. 152-155.
- [6] C. H. Diaz et al. An accurate analytical delay model for BiCMOS driver circuits, *IEEE Transaction on Computer-Aided Design*, no. 5, 1991, pp.577-588.

Abstract – Possibilities and methods for synthesis and realization of ternary BiCMOS electronic circuits that can have high impedance output state are considered and proposed in the paper. General principle for synthesis of electrical scheme of such ternary BiCMOS logic circuit is proposed and described first. Then, based on given principle, concrete solutions of obtained ternary BiCMOS logic circuits with high impedance output state are proposed and described. Methods for realization of basic such ternary BiCMOS logic circuits are described first. Then the possibilities for realization of improved BiCMOS ternary logic circuits with high impedance output state are proposed and presented. All proposed and described circuits are analyzed by computer simulation. The most important characteristics of considered circuits are analyzed and some results obtained by computer simulation are given in the paper.

DIGITAL TERNARY BiCMOS ELECTRONIC CIRCUITS WITH HIGH IMPEDANCE OUTPUT STATE

Z. Bundalo, D. Bundalo, B. Đorđević