

*
 Jurca Željko
 Zoran Krajačević
 Branislav Žurković
 Branislav Kljajić

Institut za računarstvo,
 automatiku i merenje
 21000 Novi Sad, V. Vlahovića 3

Jedno rešenje rukovaoca komunikacijama
 preko protokola X25

One solution for a communication
 using X25 protocol

SADRŽAJ - U ovom radu opisano je rešenje rukovaoca komunikacijom preko X25 protokola za IBM XT, AT i njima kompatibilne računare. Ovo rešenje omogućava međusobnu komunikaciju podržavajući različite režime serijskog prenosa podataka čiji se parametri rada zadaju programskim putem. Rukovalac je konstruisan da može da podrži i sinhroni i asinhroni način rada.

U sinhronom režimu rada uređaja proizvoljno se bira protokol, a u asinhronom režimu broj bita u znaku, dužina stop bita itd.

ABSTRACT - This paper presents one solution of a communication handler using X25 protocol for IBM XT, AT and compatible computers. This solution allows communication between two microcomputers using different types of serial data transfers. The handler supports synchronous and asynchronous operating modes.

If this device operates in synchronous mode, the user is allowed to change the communication protocol and if it operates in asynchronous mode, the number of bits in each character and stop bit length may be changed.

1. Uvod

Uređaj se sastoji iz šest osnovnih delova pokazanih na slici

1.:

1. Davač takta ima osnovni zadatak da obezbedi tačnu frekvenciju za rad integrisanog kola 8274 (4Mhz), kao i frekvencije za rad prijemnika i predajnika (ukoliko je to potrebno). Davač takta može da daje tri različita talasna oblika istovremeno. Sva tri talasna oblika mogu se zadati proizvoljno, programskim putem.

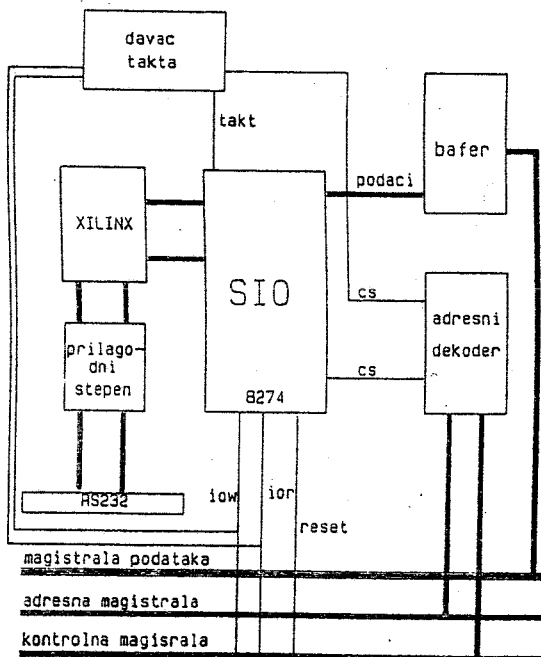
2. Prilagodni stepen, čija je osnovna uloga da dozvoli ili ne dozvoli kretanje podataka. Ukoliko je kretanje podataka dozvoljeno potrebno je da se kreću u tačno odredjenom smeru. Za bafer se koristi integrisano kolo 74LS245.

* Rad je realizovan u okviru projekata sa SIZ za NR Vojvodine pod rukovodstvom prof. dr Vladimira Kovačevića i Ivana Šeškara dipl. ing.

3. Adresni dekoder, koji u zavisnosti od adrese i kontrolnih signala dozvoljava ili ne dozvoljava pristup određenim delovima uređaja. Adresni dekoder sastoji se od komparatora (741s688), dekodera (741s138) i PAL-a (X25pal) sa pripadajućim pasivnim elementima. Programabilna logička struktura X25PAL omogućava drastično pojednostavljenje adresnog dekodera pošto u sebi objedinjuje veliki broj I, ILLI i NE kola koja se mogu spajati tako da formiraju proizvodnju bulovnu funkciju.

4. Blok za prilagođenje naponskih nivoa izlaznih signala standardu RS232. U ovom bloku svaki kanal se sastoji od 2 integrisana kola 1489 i jednog integrisanog kola 1488.

5. Integrisano kolo 8274 koje predstavlja osnovu celog uređaja. 8274 predstavlja multi-protokolarni serijski kontroler, koji ima dve nezavisne ulazno-izlazne linije od kojih svaka može da radi u sinhronom ili asinhronom režimu. Kolo 8274 podržava kontrolu grešaka parnosti, prepisa (overrun) i okvira karaktera (frame) i dozvoljava rad sa različitim dužinama karaktera (5,6,7,8) i stop bita (1,1/2,2). Omogućen je pristup svakom od ukupno 16 registara za upis (write) i 5 registara za čitanje (read).



BLOK SEMA KOMUNIKACIONOG UREDJAJA

slika 1.

6. Programabilno izbrisiva komponenta XILINX predstavlja integrirano kolo sa veoma složenom unutrašnjom arhitekturom, koje se u konkretnom slučaju koristi kao element za određivanje načina rada i za biranje takta. Način rada može biti:

- test, u kome se izlazni signali prosleđuju na ulaz i
- standardni, u kome se izlazni i ulazni signali šalju drugom komunikacionom uređaju.

Korišteni takt može biti interni ili eksterni.

2. Princip rada rukovaoca komunikacijom

Na adresnu magistralu postavlja se adresa određenog bloka u uređaju. Adresni prostor nalazi se u granicama 300H-30FH i zadaje se sa donjih deset bita adresne magistrale. Biti A2 i A3 određuju adresu bloka u okviru uređaja, a bitovi A0 i A1 određuju registar unutar određenog bloka.

Kada se na adresnoj magistrali nađe adresa koja odgovara nekom od blokova uređaja zajedno sa signalima IOWR ili IORD adresira se određeni registar u okviru uređaja. Baferu se omogućava da propusti podatke u tačno određenom smeru (čitanje ili upis) i podaci sa magistrale podataka se upisuju u adresirani registar ili se podaci čitaju iz adresnog registra i prosleđuju na magistralu podataka.

2. veza komunikacionog uređaja i mikroračunarskog sistema može biti ostvarena :

- prozivanjem (pooling)
- čekanjem (wait)
- prekidom (interrupt) i
- direktnim pristupom memoriji (DMA).

Kada je sistem konfigurisan da se veza vrši prozivanjem procesor svo vreme ispituje da li je neki od registara integriranog kola 8274 promenio stanje (npr registar za prijem je primio ili je registar za predaju predao znak). Ukoliko je do promene došlo procesor izvršava odgovarajući potprogram. Ukoliko do promene nije došlo procesor nastavlja da ispituje registre.

U režimu čekanja procesoru se izdaje naredba za prenos bloka podataka. Procesor upiše prvi znak u registar predaje (8274) što izaziva spuštanje signala RDY integriranog kola 8274 (koji je povezan sa WAIT nožicom procesora) na nulu što uzrokuje neaktivni ciklus procesora. Wait signal traje sve dok kolo 8274 ne bude spremno da primi nov znak. Isti princip važi i za prijem podataka.

Zbog potrebe da mikroprocesor svo vreme tokom prenosa podataka prati rad komunikacionog uređaja režim čekanja nije podržan. Korišćenjem ovog načina rada, znatno bi se umanjile prednosti koje ovaj uređaj ima. Iz istog razloga nije preporučljivo koristiti ni režim rada u kome se veza ostvaruje prozivanjem.

Režim prekida, prijem podataka: Kada kompletan podatak stigne u prijemni bafer, integralno kolo 8274 šalje signal prekida procesoru. Pošto je završio tekuću instrukciju procesor ispituje registar stanja da bi odredio koji kanal je zahtevao prekid i potom uključuje rutinu koja opslužuje dobijeni prekid. Izdaje naredbu za čitanje registra U/I porta i to sa adrese 030XH. x=0H ukoliko je podatak stigao sa kanala A, a

$x=1H$ ukoliko je podatak stigao sa kanala B.

Režim prekida, predaja podataka: Kada je predajnik poslao i poslednji bit znaka, zahteva od procesora novi podatak i to putem signala prekida. Pošto je završio tekuću instrukciju procesor ispituje registar stanja da bi odredio sa kog kanala je potekao zahtev za prekid i potom izvršava potprogram koji opslužuje dobiti prekid. Izdaje naredbu za upis u registar U/I prolaza i to na adresu $030xH$. $x=0H$ ukoliko se podatak šalje na kanal A, a $x=1H$ ukoliko se podatak šalje na kanal B.

Zahtev za prekidom komunikacioni uređaj upućuje procesoru preko $IRQ3$ ili $IRQ4$, ali je korisniku omogućeno da ukoliko je to potrebno ignoriše ovaj zahtev konfigurisanjem odgovarajućeg kratkospajanja.

Direktan pristup memoriji (DMA) omogućava veoma brzu komunikaciju između komunikacionog uređaja i operativne memorije. Kada uređaj uputi zahtev za DMA, procesor prepušta kontrolu nad magistralama DMA kontroleru koji novi podatak iz memorije prosledjuje jednom od registara predaje integralnog kola 8274, ili pristigli podatak iz jednog od prijemnih registara upisuje na određeno mesto u memoriji.

3. Zaključak

Razvijeni rukovaooc komunikacijom sa X25 protokolom pruža fizičku osnovu za uključenje mikroracunara XT/AT u računarske mreže za prenos paketa, lokalne mreže.

Realizovan je korišćenjem izbrisivih programabilnih komponenti što daje osnovu za prilagođenje različitim serijskim protokolima.

4. Literatura

1. John E. McManara, "Technical aspects of data comunication", Digital press
2. Dr Vladimir Kovačević, "Logičko projektovanje digitalnih sistema", Fakultet tehničkih nauka, Novi Sad, 1985.
3. Minajlo Tešević, "PC/XT Hardware", Tehnička knjiga, Beograd, 1989.
4. "Microcommunications Handbook", Intel, 1989.
5. "The TTL Data Book", Volume 1, Texas Instruments, 1987.
6. "Microprocessor and Peripheral Handbook", Volume 1, Intel, 1989.
7. "Programable Logic Data Book", Texas Instruments, 1989.
8. "Interface Databook", National Semiconductor, 1978.
9. "The Programmable Gate Array Data Book", XILINX Inc., 1988.