

Vasja Jurkas
Baldomir Zajc

Fakulteta za elektrotehniko
Tržaška 2b
Ljubljana

PRIMER NAČRTOVANJA INTEGRIRANIH VEZIJ NA OSEBNIH
RAČUNALNIŠKIH IBM PC

AN EXAMPLE OF INTEGRATED CIRCUITS DESIGN ON
IBM PERSONAL COMPUTERS

POVZETEK:

Z razvojem mikroelektronske industrije in VLSI tehnologije se pojavljajo vedno nove potrebe po močnih in učinkovitih načrtovalskih orodjih. Zato se čim več dela opravi na manjših računalnikih, da so centralni računalniški sistemi čim manj obremenjeni. Načrtovalski paket GENIUS uspešno rešuje mnoge od teh problemov.

ABSTRACT:

Following the development of microelectronics industry and VLSI technologies, new powerful and efficient design tools are needed. It is tended to do the biggest part of the design work on IBM PC's instead of using more complex computer systems. GENIUS is able to solve many of your design problems.

1. UVOD

Računalniško načrtovanje integriranih vezij poteka na več nivojih. Težnja je, da bi se čim večji del načrtovanja opravil na osebnih računalnikih, šele nato pa naj se delo preseli na kakšen večji računalniški sistem.

Samo načrtovanje obsega več faz. Začne se s shematskim vnosom vezja, ki je običajno enostavno in pregledno. Na tej stopnji je možen tudi direkten vnos vezja v obliki tabele, ki služi za vhodni podatek v nadaljnjih načrtovalskih stopnjah.

Naslednja stopnja je preverjanje sheme in tvorba tabele povezav. Za vse to poskrbijo ustrezni programi. Na tej stopnji je potrebno že tudi sestaviti vzorec za logično funkcijsko simulacijo vezja.

Sledi logična simulacija vezja. Tudi ta simulacija obsega več stopenj. Na najnižjem nivoju se za kontrolo opravi samo funkcijska simulacija. Tu simulator ne upošteva nobenih fizikalnih lastnosti vezja, saj simulacija služi samo za odkrivanje logičnih napak. Nato se opravi simulacija z realnejšimi časovnimi razmerami. Simulator upošteva vhodne kapacitivnosti gradnikov, izhodne impedance (load dependent delay) in prehodne čase skozi posamezne celice. Vse te podatke najde v knjižnici. Možno je tudi vstaviti različne zakasnilne faktorje, ki simulirajo domnevno povečanje kapacitivnosti zaradi kasnejše geometrije vezja. Na tej stopnji je že mogoče ugotoviti približen dinamičen odziv vezja. Zadnja stopnja se opravi, ko je layout vezja že narejen in poseben program izračuna in doda še kapacitivnosti povezav med celicami.

Prvim simulacijam sledi načrtovanje layouta. Ko je vezje izdelano, se najprej opravi preverjanje vezja z njegovo logično shemo in ustrezni popravki. Na tej stopnji se integrirano vezje sestavlja še vedno v obliki simbolov. Vsak simbol je ponazorjen s skatlico, ki ima te pravilne dimenzije in pravilno razporejene vhodne in izhodne priključke.

Sledi izračun kapacitivnosti povezav med celicami. Nove kapacitivnosti se prištejejo kapacitivnostim vhodov in opravi se zadnja simulacija. Tudi na tej stopnji je še mogoče vstaviti ustrezen zakasnilni faktor, tako da se simulacija opravi z nekoliko rezerve.

Ko je vse to opravljeno, se vnesejo ustrezni popravki, če je potrebno in postopek se od tiste stopnje do konca ponovi. Načrtovanje do te stopnje je mogoče na osebnih računalnikih, za nadaljnje stopnje pa ima tudi IBM AT te premaj-

ne kaja, ...

Pravilovanje shematskega layouta se opravi na kakšnem večjem računalniškem sistemu. Za danovo simulacijo izdelane datoteke, program pa do sedaj uporablja skatlice napliti. Z layouti posameznih celic in sestavi celotno grafično podobo vezja.

Možna je še drugačna pot. Do shematskega vnosa vezja in pivin simulacij je postopek enak; layout pa se nato ne sestavlja z ročnim nameščanjem posameznih celic in povezovanjem, temveč se to opravi programsko: autoplacing in autorouting. Nadaljnji postopek je enak.

Sledi preverjanje geometrijske podobe vezja. Načrtovalska pravila natančno predpisujejo, kaksne smejo ali morajo biti razdalje med povezavami itd. Program opozori na napake, ki jih nato z ustreznim editorjem popravimo.

Zadnja stopnja je izdelava PG (pattern generator) traku. To je magnetni trak, na katerem je shranjena celotna geometrijska podoba vezja. PG trak služi kot vhodni podatek stroju za izdelavo mask.

2. PROGRAMSKI PAKET GENIUS

V nadaljevanju bo opisan programski paket GENIUS, ki se uporablja v ISKRI Mikroelektroniki v Ljubljani in se delno razvija na Fakulteti za elektrotehniko v Ljubljani.

Programski paket GENIUS omogoča vse v uvodu nastete korake razen sestavljanja dokončnega layouta za PG trak in trenutno samo ročno nameščanje in povezovanje celic pri izdelavi layouta. Paket je uporaben za načrtovanje vezij s standardnimi celicami (standard cell design) in pogojno tudi za načrtovanje ULA vezij (gate array). Pri ULA vezjih pridejo

v poktev le strukture s kanali za povezovanje, pri tem pa je potrebno paziti, da so razmiki med vrstami celic pravilni, ker sam programski paket napake ne bo opazil.

V načrtu je še razvoj programov za načrtovanje ULA vezij različnih struktur (tudi channelless gate array) in iskanje algoritmov za autoplacing in autorouting. Tu je potrebno opozoriti, da se postopek povezovanja poenostavi zaradi specifične zgradbe celic, ki imajo vse priključke običajno simetrično na zgornji in spodnji strani. Poleg tega pa napajanje poteka horizontalno skozi vse celice in ga je potrebno pripeljati le na zaključne celice v vsaki vrsti. Vse povezave potekajo le v navpični in vodoravni smeri in na dveh nivojih (metal + poly ali double metal), razdalja med dvema vrstama celic pa je odvisna od števila potrebnih povezav in zato ni natančno določena. Algoritmi za povezovanje so zato enostavnejši kot npr. pri risanju tiskanih vezij, saj je število pravil veliko manjše in so veliko strožja in natančnejša.

ISKRA Mikroelektronika uporablja na VAX-u AMI-jev paket ACT za načrtovanje integriranih vezij, zato morajo biti vse vhodne in izhodne datoteke GENIUS-a kompatibilne in prenosljive na VAX.

3. PRISTOP K NAČRTOVANJU INTEGRIRANEGA VEZJA

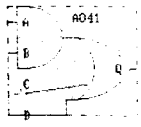
Pri vseh načinih načrtovanja integriranega vezja razen pri "full custom design" načinu je potrebno zgraditi ustrezno bazo podatkov ali knjižnico osnovnih gradnikov. Knjižnice se sestavljajo za vsak proces posebej in praviloma med seboj niso prenosljive. Knjižnice lahko vsebujejo različne podatke, možne pa so tudi različne knjižnice, ki zajemajo podatke samo iz določenega področja (npr. knjižnica shematskih simbolov, knjižnica layoutov - celic, podatki za simulacijo).

Knjižnica programskega paketa GENIUS vsebuje naslednje

podatke:

- shematski simbol (grafična podoba, pozicije prikupkov simbola za preverjanja povezav in liste vorišči).
- layout simbol (dimenzije celice, pozicije prikupkov, pozicije vertikalnih prevezav).
- podatke za simulacijo (logično funkcijo, kapacitivnosti vhodov in izhodov pri tri-state bufferjih, impedanca izhodov v obliki zakasnitve odvisne od bremena v ns/pF in osnovne zakasnitve - intrinsic delay times).
- osnovne podatke o procesu (upornosti metala in polisilicija na dolžinsko enoto).

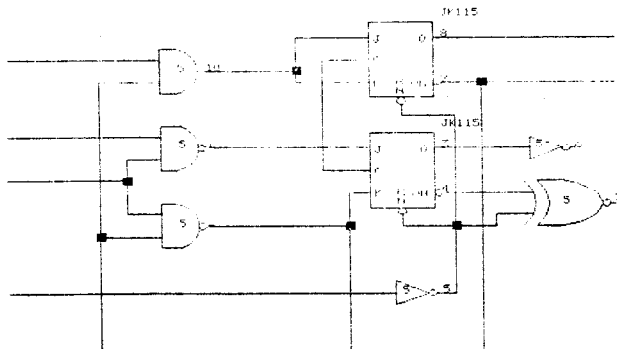
Prvi korak pri gradnji knjižnice je simulacija osnovnih gradnikov. Simulacija se opravi na nivoju posameznih

F1	F2	SYMBOL TO EDIT: A041	
HOME	LINE	SYMBOL: A041	
F3	F4	X = 15 Y = 27	
CIRCLE	BUFFER	SYMBOL NAME	A041
		SYMBOL HEIGHT	7
		SYMBOL WIDTH	6
		X NAME POS.	4
		Y NAME POS.	6
		ANNOTATION	Y
F5	F6		
AND	L. AND		
F7	F8		
OR	COLOUR GREEN		
F9	F10		
ZOOM	END		

Slika 1 - Urejevalnik knjižnic

tranzistorjev s programom SPICE. Rezultat simulacije predstavlja zasaena podatka za osnovne case zakaznitev. Celice je potrebno naertati in nato izdelati na testnem vezju in opraviti meritve realne celice. Tako popravljeni podatki so ze primerni za vnaanje v knjiznico, obenem pa imamo tudi ze vse podatke o layoutu celice. Vnos podatkov in kreiranje novih simbolov je razmeroma enostaven postopek, saj za to skrbi poseben urejevalnik, ki delo s knjiznico maksimalno olajaa. Slika 1 prikazuje pogled na zaslon urejevalnika v trenutku kreiranja shematskega simbola.

Shematski editor ravno tako omogoaa dokaj enostaven vnos sheme vezja. Vsi programi so razdeljeni na podmenije, osnovni ukazi so na funkcijskih tipkah, v veini primerov lahko za vnaanje podatkov uporabljamo miako ali kurzorske tipke. Pri vnaanju sheme je potrebno najprej izbrati simbol, ga namestiti, nato pa je treba poimenovati izhode. Ime izhoda



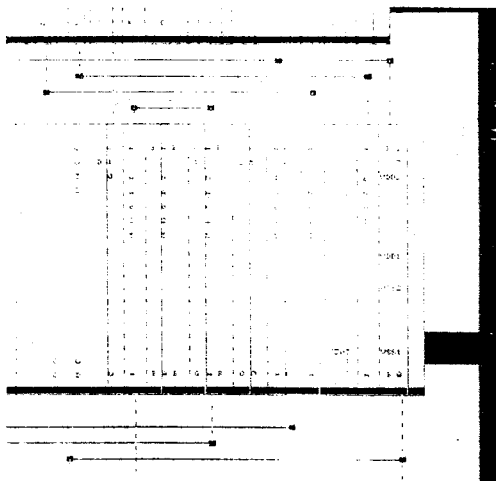
Slika 2 - shematski editor

je sestavljeno iz največ štirih črk ali števil. Povezujemo lahko z miako ali s kurzorskimi tipkami. Slika 2 prikazuje del takane sheme.

Sledi preverjanje sheme (tracing) in simulacija vezja.

Možna je tudi simulacijska analiza, ki kaže na delovnih funkcijskih simulacijah in simulacijah z upoštevanjem vseh simulacijskih parametrov. Izpis je v obliki tabele. Tudi tu sta dve možnosti. Izpis celotne tabele ali pa izpis samo tistih časov, ko v vezju nastopi kakršna koli sprememba vhodnih, izhodnih ali vmesnih stanj.

Sedaj je možna že načrtovanje layouta. Vnos je podoben vnosu pri shematskem editorju. Tudi povezovanje je podobno, le da je tokrat potrebno upoštevati že tudi načrtovalska pravila. Vezje je potrebno na koncu testirati, ker sam editor ne opozarja na morebitne napake. Primer takega layouta prikazuje slika 3.



Slika 3 - Primer layouta

4. ZAKLJUČEK

Programski paket je dovolj močno načrtovalsko orodje, ki prenese večji del načrtovalskega dela na osebne računalnike PC XT ali AT. Na ta način je centralni računalniški sistem

močno razbremenjen, saj je delo enako učinkovito opravljeno na osebnih računalnikih. Obenem se pojavlja možnost, da tudi druge veje elektronske industrije, ki potrebujejo svoja lastna integrirana vezja, te same sestavijo shemo in opravijo prve simulacije, kar delno razbremeni načrtovalske kapacitete mikroelektronske industrije. Delo s programskim paketom je razmeroma enostavno in ne zahteva dolgotrajnega priučevanja.

LITERATURA

- /1./ AMI Super Sceptre Design Sistem, Document No. 2nd edition, July 1986
- /2./ AMI 3u Double-metal CMOS Standard Cell Design Manual, Revision E, February 28, 1985
- /3./ L.A. Glasser, D. W. Dobberpuhl: Design and Analysis of VLSI Circuits, Eddison Wesley 1985
- /4./ R. Gregorian, G.C.Temes: Analog MOS Integrated Circuits for Signal Processing, John Wiley & Sons, Inc., 1986 ISBN 0-471-09797-7
- /5./ A. Mukherjee: Introduction to nMOS and CMOS VLSI Systems Design, Prentice-Hall 1986, ISBN 0-13-490939-9 025