

Zoran Jovanović,
Aleksandar Zavaljevski
Institut za nuklearne nauke
"Boris Kidrič" - Vinča

REFERAT

ARHITEKTURA SISTEMA ZA DIGITALNU OBRADU
SIGNALA U REALNOM VREMENU

ARCHITECTURE OF A PROCESSOR FOR REAL TIME
SIGNAL ANALYSIS

SADRŽAJ - U radu je opisana arhitektura procesora za digitalnu obradu signala koji se sastoji iz ulazno-izlaznog i mikroprogramiranog podsistema. Jednostavna i kompaktna struktura je postignuta zahvaljujući primeni najnovije tehnologije, a performanse sistema su uporedive sa mnogim većim procesorima. Realizovani interaktivni simulator se koristi za istovremenu verifikaciju arhitekture sistema i razvoj mikroprograma.

ABSTRACT - This paper describes the architecture of a signal processor composed of an input - output and microprogrammed subsystem. It's structure is simple and compact as a result of applying high technology, and the systems performances are comparable to many larger processors. A realized interactive simulator is used for simultaneous architecture verification and microprogram development.

1. UVOD

Posle otkrića FFT algoritma, počelo je da raste interesovanje za digitalnu obradu signala u realnom vremenu. To je dovelo do prvobitnog razvoja procesora koji su izvršavali samo jedan algoritam. Početkom sedamdesetih godina se počelo sa istraživanjima arhitektura procesora generalne namene za digitalnu obradu signala (signal procesora), a njihov masovniji razvoj počinje posle 1975. godine. Signal procesori imaju ekstremno veliku brzinu izvršavanja standardnih algoritama za digitalnu obradu signala zahvaljujući svojoj specifičnoj arhitekturi. Oni mogu da rade kao autonomni uređjaji, pri čemu se programi aktiviraju sa prednje ploče, ali se češće vezuju za "osnovni" računar kao periferija koja ima direk-

tan pristup memoriji. Prilikom realizacije procesora za digitalnu obradu signala, u najvećem broju slučajeva se koriste princip mikro-programiranja i brzi hardverski množači. Da bi se postigle vrhunske performanse, kompletni algoritmi se lociraju u mikroprogramskoj memoriji, a njihovo startovanje se inicira jednom naredbom osnovnog računara. Prilikom projektovanja signal procesora učinjeni su napori da se inkorporiraju najnovija tehnološka dostignuća u oblasti specijalizovanih LSI kola za digitalnu obradu signala, "bit slice" mikroprocesora i MOS kanalskih procesora.

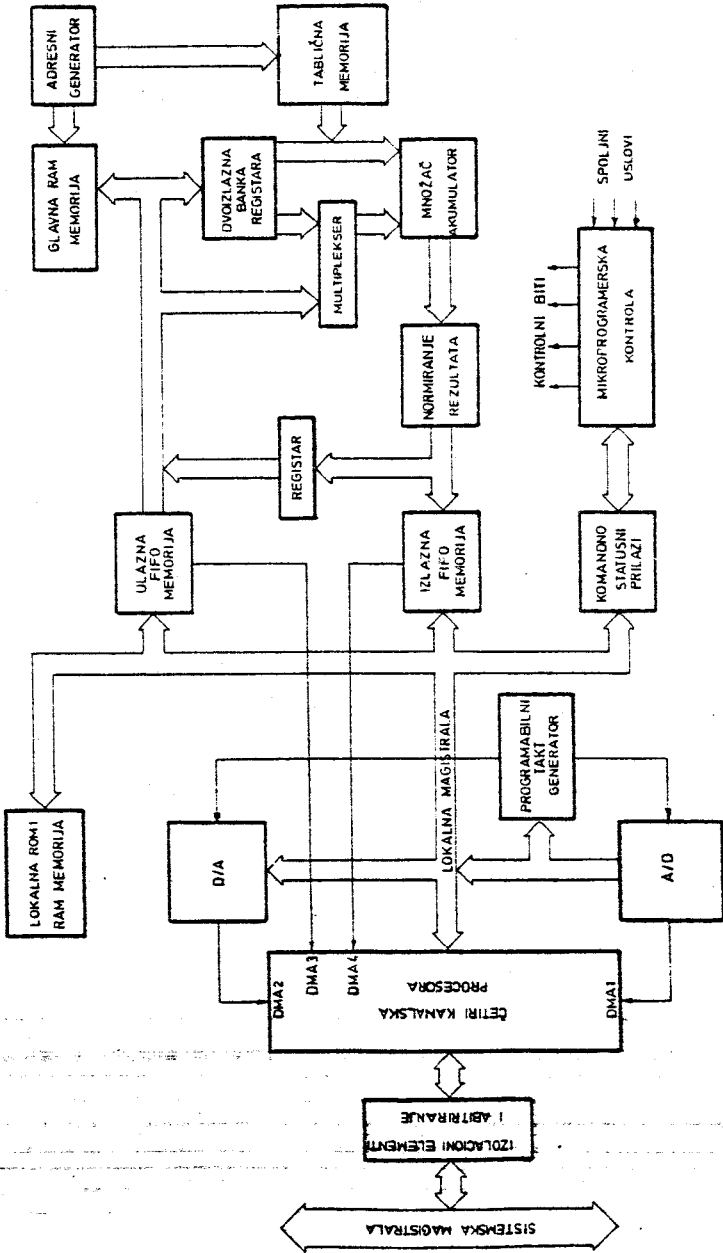
2. CENTRALNI DEO RADA

Sistem za digitalnu obradu signala se sastoji iz dva pod-sistema: ulazno-izlaznih kanalskih procesora sa pratećim periferijama i mikroprogramiranog procesora. Blok šema ovih pod-sistema i način njihovog povezivanja su prikazani slikom 1.

2.1. Ulazno-izlazni kanalski procesori

Za realizaciju kanalskih procesora su iskorišćeni mikroprocesorski elementi koji i pored primenjene MOS tehnologije postižu maksimalne brzine transfera od 1,7 megabajta u sekundi. Svaki od kanalskih procesora nezavisno izvršava svoj niz naredbi, pri čemu je u repertoar naredbi uključen i transfer blokova primenom direktnog pristupa memoriji. Na istu magistralu su vezana sva četiri kanalska procesora, a samim tim i odgovarajući broj nezavisnih kanala za direktan pristup memoriji.

Procesor za digitalnu obradu signala se vezuje na sistemsku magistralu osnovnog računara. Da bi se izbeglo zasićenje te magistrale, podsystem je konfigurisan tako da se kanalski programi nalaze u lokalnoj memoriji kojoj ne mogu da pristupaju elementi van ulazno-izlaznog pod-sistema. Na taj način, kanalski procesori veći deo vremena pristupaju lokalnim resursima, a samo neophodna razmena komandi i podataka sa osnovnim računarom se obavlja preko sistemske magistrale. Zahvaljujući izolacionom elementu između lokalne i sistemske magistrale se postiže paralelizam rada kanalskih procesora u odnosu na osnovni računar, tako da je u suštini ostvareno multiprocesiranje sa vremenski deljenom sistemskom magistralom i izolovanom lokalnom magistralom. Radi jednostavnije arhitek-



PROCESOR ZA DIGITALNU OBRADU SIGNALA

Digit. Obr. 1989, 1-10, 235-249

ture ulazno-izlaznog podsistema, izvršeno je preslikavanje memorijskog adresnog prostora kanalskih procesora u sistemski prostor, dok je njihov ulazno-izlazni adresni prostor dodeljen lokalnim resursima podsistema. Na taj način se kanalski programi smeštaju u memoriju koja je preslikana u ulazno-izlazni adresni prostor kanalskih procesora od 64 k bajta.

Na lokalnu magistralu se vezuju i sve ulazno-izlazne jedinice koje kanalski procesori opslužuju. Na taj način su u sistem uključeni A/D i D/A konvertori, koji predstavljaju neophodan preduslov za rad celokupnog signal procesora u realnom vremenu. Svakom od njih je dodeljen po jedan kanal za direktan pristup memoriji, tako da se postiže paralelan rad u odnosu na mikroprogramirani deo sistema i sve elemente na sistemskoj magistrali, ali i lokalni paralelizam u okviru ulazno-izlaznog podsistema. Da bi se komunikacija sa mikroprogramiranim delom sistema odvijala što brže, predviđeno je da preostala dva kanalska procesora budu angažovana za oba smera tog transfera.

Ovakav način primene multiprocesiranja dopušta da se svi lokalni transferi odvijaju sa direktnim pristupom memoriji, pri čemu se dinamički određuje koji je od kanalskih procesora aktiviran. Mada ne postoji potpuni paralelizam zbog deljenja iste magistrale, ovakav vid multiprocesiranja dopušta prividno simultano odvijanje više transfera sa direktnim pristupom memoriji i ulazno-izlaznim jedinicama. Dakle, suštinsko ograničenje propusne moći ovog podsistema je maksimalna brzina lokalne magistrale, a ne brzina pojedinih kanala.

Zbog različitih brzina rada elemenata ulazno-izlaznog i mikroprogramiranog dela signal procesora, transferi između ovih podsistema se odvijaju asinhrono, uz primenu bipolarnih FIFO memorija. Na taj način performanse postignute paralelnim radom podsistema se ne degradiraju sporim transferom podataka između njih, što bi naročito bilo kritično sa stanovišta bržeg-mikroprogramiranog dela signal procesora.

Algoritmi za digitalnu obradu signala se uglavnom izvršavaju nad blokovima podataka, tako da se pre obrade vrše transferi paketa u memoriju mikroprogramiranog dela sistema. Posle izvršene obrade u mikroprogramiranom delu sistema, blok podataka se predaje ulazno-izlaznom podsistemu, a zatim tipično sledi zahtev za novim

blokom podataka koje treba obraditi. Mada se problem transfera između dva podsistema može donekle rešiti na osnovu izmena strukture mikroprograma tako što se ulazno-izlazni zahtevi ravnomernije rasporede u vremenu, primenom brzih FIFO memorija se ostvaruje potpuniji paralelizam u radu podsistema signal procesora.

Makronaredbe za mikroprogramirani deo sistema se preko komandnih prilaza ("portova") pređaju elementima za preslikavanje na adrese u mikroprogramskoj memoriji. Pored obradjenih podataka, mikroprogramirani deo sistema pruža informacije o svom radu preko statusnih prilaza, tako da se postiže dvosmerni komandno-statusni transfer.

Svaki od kanalskih procesora ima skup naredbi sličan procesoru generalne namene, s tim što su operacije koje se koriste prilikom transfera podataka dominantne, a repertoar aritmetičkih i ostalih logičkih operacija je skroman. To dopušta da se komunikacije procesora za digitalnu obradu signala sa osnovnim računarom svedu na najmanju meru. Sa stanovišta procesora na sistemskoj magistrali taj transfer liči na poziv podprograma koji se izvršava na drugom-kanalskom procesoru. Kod tipične primene se "podprogram" (kanalski program) nalazi u lokalnoj ROM memoriji kanalskog procesora, a procesor na sistemskoj magistrali aktivira jedan od postojećih kanalskih programa i dostavlja mu adresu parametarskog bloka u sistemskoj memoriji. Kada signal procesor obavi zadatak, on rezultate smešta u sistemsku memoriju i pomoću signala prekida izveštava procesor na sistemskoj magistrali o izvršenom zadatku. Tokom ovih operacija, zauzeće procesora na sistemskoj magistrali je minimalno, i svodi se na pripremu parametarskih blokova, aktiviranje kanalskih procesora i prihvatanje rezultata posle signala prekida. Zauzeće sistemskih magistrala je nešto veće i nastaje zbog pristupa kanalskih procesora sistemskoj memoriji, ali se pravilnim arbitranjem može sprečiti značajnije međusobno kočenje procesora.

U okviru signal procesora se nalazi niži-interni nivo upravljanja, kod koga kanalski procesori specificiraju zadatke koje treba da obavlja mikroprogramirani podsistem signal procesora. Osim toga, kanalski procesori testiraju status mikroprogramiranog dela sistema i intervenišu ukoliko je potrebno modifikovati način njegovog rada. Rezultati koje kanalski procesori prihvataju od mikroprogramiranog dela sistema mogu biti dodatno obradjeni i tek onda prosledjeni osnovnom računaru. To pruža mogućnost balansiranja op-

teredenja ulazno-izlaznog i mikroprogramiranog podsistema za svaki od primenjenih algoritama.

2.2. Mikroprogramirani deo signal procesora

Mikroprogramska kontrola je ostvarena primenom bipolarnih LSI komponenti iz poznate "bit slice" familije 2900, iz čega je rezultovala kompaktna realizacija. Složena interna kontrola sledeće adrese dopušta formiranje podprograma u mikroprogramskoj memoriji, uslovna grananja pod dejstvom spoljnih uslova, hardversko odbrojavanje broja prolazaka kroz petlje, uslovni skok na dve adrese pod dejstvom dva spoljna uslova, itd. Tipičan primer uticaja spoljnih uslova na tok mikroprograma je asinhrona komunikacija signal procesora sa FIFO memorijama, uz korišćenje "hand shaking" signala.

Mikro-programaska memorija je ROM tipa, pa je ograničen broj mikroprograma koje signal procesor može da izvrši bez zamene memorijskih elemenata. U sistem je uključeno 2k osamdesetbitnih reči brze mikroprogramske memorije (20k bajta), što je po kapacitetu ravno i mnogim većim signal procesorima. Na izlascima ovih memorija se nalaze "pipeline" registri, čime je obezbeđeno odvajanje kontrolne jedinice od aritmetičko logičke jedinice mikroprogramiranog dela sistema. To dovodi do paralelizma ("overlapping"), jer se vreme dekodovanja naredbe ne dodaje vremenu njenog izvršenja. Kod računara generalne namene sa ovakvim konfiguracijama javljaju se problemi prilikom korišćenja naredbi uslovnog skoka, ali zbog svoje pravilne strukture, algoritmi za digitalnu obradu signala ređe izazivaju teškoće.

U adresnom generatoru mikroprogramiranog dela sistema se formiraju adrese za "glavnu" RAM memoriju sa podacima i tabličnu memoriju ROM tipa. Njegovoj realizaciji je bila posvećena posebna pažnja, jer zbog ograničenja dimenzija sistema mora postojati samo jedna RAM memorija za podatke. Najvažniji elementi adresnog generatora su realizovani primenom bipolarnih LSI kola: DMA kontrolera i aritmetičko-logičke jedinice sa internim registrom (akumulator). On je formiran kao "pipeline" stepen tako da se ROM i RAM adrese simultano pojavljuju na njegovom izlazu sa kašnjenjem koje je jednako vremenu potrebnom da se posle aktivne ivice takt impulsa pojave novi podaci na izlazu registara za adrese. Ovakvom realizacijom je

omogućeno da i pored primene MOS memorijskih elemenata, perioda osnovnog takta mikroprogramiranog dela sistema uključujući i njegovu memoriju iznosi samo 150ns.

Adresni generator sadrži neke elemente koji uglavnom postoje zbog FFT algoritma, ali time nije značajnije umanjena generalnost adresiranja. Interesantno je uočiti da se za kontrolu rada adresnog generatora koristi praktično isti broj bita koji bi bio potreban i za generisanje adresa korišćenjem emitujućeg polja mikroprogramske reči. Rešenje sa adresnim generatorom medjutim ekstremno smanjuje neophodnu veličinu mikroprograma kod tipičnih algoritama za digitalnu obradu signala, a samim tim i zauzeće mikroprogramske memorije.

Memorija podataka je podeljena u tri osnovna dela: "glavnu" RAM memoriju, malu ROM tabličnu memoriju i registarsku memoriju sa jednim ulazom i dva izlaza. Glavna RAM memorija služi za prihvatanje ulaznih podataka iz ulazno-izlaznog podsistema, predaju podataka aritmetičko-logičkoj jedinici neposredno ili preko registarske memorije, i prihvatanje medjurezultata računanja. ROM tablična memorija služi za predaju konstanti jednom od ulaza aritmetičko-logičke jedinice. U nju su smeštene konstante za najčešće primenjene algoritme, pre svega za FFT i razne vrste transversalnih i rekurzivnih filtara.

Registarska memorija sa dva izlaza i jednim ulazom preuzima od glavne memorije sa podacima i tablične memorije deo posla oko dostavljanja podataka aritmetičko-logičkoj jedinici. Kod nje je dozvoljeno simultano adresiranje dva različita izlaza, čime se postiže mogućnost simultanog generisanja oba ulazna operanda aritmetičko-logičke jedinice. Od dva adresna ulaza ove memorije, jedan služi ili za adresiranje registra u koji se upisuje podatak sa ulazne magistrale, ili za adresiranje registra iz koga se sadržaj šalje na drugi izlaz. Preostala adresa određuje registar čiji se sadržaj može očitati na prvom izlazu memorije, te se izlazni podaci mogu stalno koristiti kao ulazni operandi aritmetičko-logičke jedinice. Prvi izlaz ove memorije je multipleksiran sa ulazom-izlazom glavne RAM memorije, a drugi sa izlazom tablične ROM memorije, što pruža raznovrsne mogućnosti izbora ulaznih varijabli za aritmetičko-logičku jedinicu.

Funkciju aritmetičko-logičke jedinice obavlja množač-akumulator koji obavlja jedno množenje, ili množenje sa akumulacijom za maksimalno 150 ns. Pri tom se i ulazni operandi i izlazni rezultati smeštaju u "pipeline" registre, tako da je minimalno trajanje mikrociklusa sistema diktirano brzinom ovog elementa. Na njegovom izlazu se nalazi kombinaciono kolo koje pomera sadržaj magistrale na jedan od četiri različita načina, što je definisano kontrolnim ulazima. Time je postignuta mogućnost programskog deljenja izlaza množača-akumulatora sa 2^2 i 2^1 , propuštanje njegovog sadržaja i množenje izlaza sa 2. Ovakav normalizacioni element dozvoljava primenu pomičnog zarezna prilikom obrade blokova podataka ("block floating point"). Povratna petlja od množača-akumulatora do ulaza registarske dvoizlazne memorije i magistrale podataka glavne memorije sadrži i registar sa izlazom visoke impedance, što dopušta privremeno čuvanje podataka sa izlaza aritmetičko-logičke jedinice.

3. ZAKLJUČAK

Projektovani sistem za digitalnu obradu signala predstavlja jedan od prvih procesora koji istovremeno primenjuje "bit slice" tehnologiju i specijalizovane LSI komponente za procesiranje signala. Da bi se verifikovala arhitektura sistema, razvijen je modularni interaktivni simulator mikroprogramiranog dela sistema. Na njemu su razvijeni i prvi mikroprogrami, tako da je moguće poredjenje performansi ovog sistema sa nekim od najpoznatijih signal procesora. Kao tipičan algoritam je izabran FFT nad 1024 kompleksna odmerka i dobijena je sledeća komparaciona tablica.

Naziv signal procesora	Logička familija	Broj integrisanih kola	Veličina reči u bitima	Brzina izvršavanja FFT-a nad 1024 tačke
FDP	ECL	10000	18	5,5 ms
SPS-41	TTL	1400	16	8,3 ms
Projektovani sistem	TTL	250	16	6,5 ms

Treba uočiti da prednosti projektovanog sistema ne proizilaze samo iz arhitekture, već su pre svega rezultat brzog tehnološkog razvoja. Arhitektura mikroprogramiranog dela sistema dopušta izvrše-

nje najraznovrsnijih algoritama za digitalnu obradu signala, ali postoje i sva ograničenja koja su posledica primene ROM mikroprogramske memorije.

Tipične oblasti primene ovakvog procesora su digitalni filtri, metode ocenjivanja spektra snage primenom FFT-a, brze konvolucije, ali i skalarni proizvodi vektora i množenja matrica. Brzine obrade koje se postižu primenom projektovanog signal procesora mogu da budu i preko dva reda veličine veće od brzine ekvivalentnih računara generalne namene.

4. LITERATURA

- /1/. J.Allen, "Computer architecture for signal processing", Proc. IEEE, Vol.63, pp.624-633, April 1975.
- /2/. A.Salazar, "Digital signal computers and processors", New York, IEEE Press, 1977.
- /3/. A.Zaheer, "A high speed FFT processor", IEEE trans. on communications, Vol.Com.63, pp.690-696, Maj 1978.
- /4/. Z.Jovanović, "Simulator mikroprogramiranog signal procesora", informatica, Jahorina, Mart 1981.