

B. Zajc, J. Furlan

REFERAT

S. Amon, Ž. Gorup

Fakulteta za elektrotehniko

Ljubljana

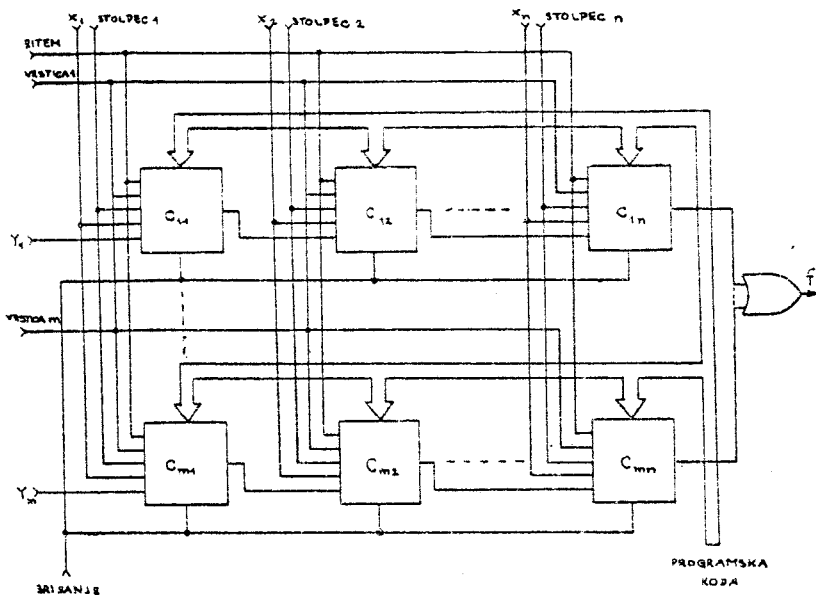
BIPOLARNO INTEGRIRANO PROGRAMIRANO LOGIČNO POLJE
BIPOLAR INTEGRATED PROGRAMMABLE LOGIC ARRAY (PLA)

VSEBINA - Predstavljena je celica programiranega logičnega polja v bipolarni ECL tehniki, ki omogoča najhitrejšo preklopno čase med vsemi bipolarnimi in še posebej v primerjavi z MOS družinami. Vsako celico v polju lahko s pomočjo krmilnega 4-bitnega kodiranega signala programiramo tako, da opravlja katerokoli izmed šestnajstih osnovnih Boolovih operacij.

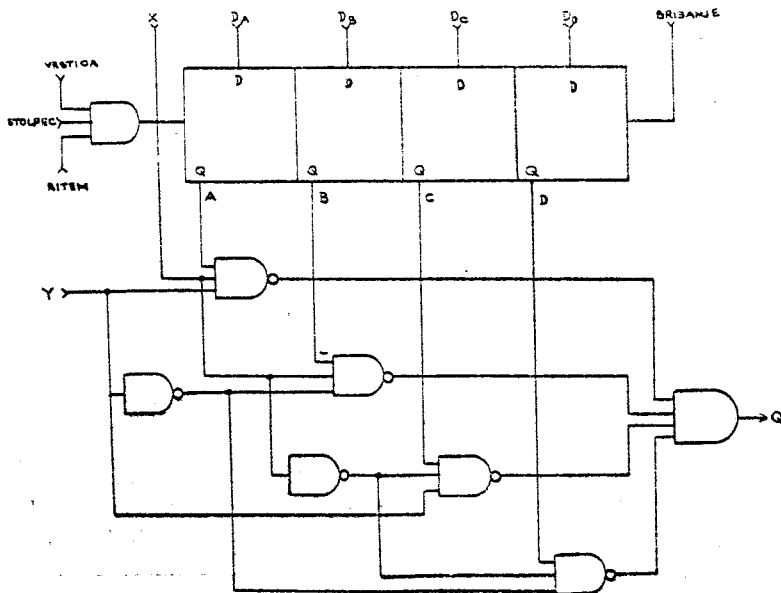
ABSTRACT - A cell of programmable logic array is represented in bipolar ECL technique with advantage of the highest switching times among all bipolar and especially in comparison with the MOS families. Each of the cell in the array may be programmed by assigning control 4-bit code to assume any of the sixteen basic Boolean operations.

1. UVOD

Avtorja K. Hwang in J. Mibelli [1] sta objavila leta 1976 zasnovo programiranega logičnega polja - PLA (Programmable Logic Array) zgrajenega z matriko identičnih logičnih celic (sl. 1.a.). Vsaka celica (sl. 1.b.) ima dva vhoda X in Y, en izhod Q poleg dodatnih vhodov za izbiro njene lege v matričnem polju, njene vrstice in stolpca, ter vhoda za ritem (clock). Ima pa tudi štiri pomožne vhode, na katerih je mogoče s pomočjo štirikbitnega kodiranega signala programirati celico tako, da opravlja eno izmed Boolovih operacij na vhodni kombinaciji X in Y. Njuno vrsto je zmogoče eno izmed osemih operacij ($\overline{X} \cdot \overline{Y}$, $X \cdot \overline{Y}$, $\overline{X} \cdot Y$, $X \cdot Y$, $\overline{X} \oplus \overline{Y}$, $X \oplus Y$), saj je



SI.1.a. Programirano logično polje PLA



SI.1.b. Celica PLA

no pa je bilo s pomočjo standardnih integriranih vezij TTL družine (74175, 7400, 7410, 7486). V primerjavi s programiranim poljem v MOS izvedbi ima bipolarna izvedba prednost zaradi hitrejših preklonov, krajšega časa dostopa in manjše zakasnitve signala preko celic, ima manjše parazitne kapacitivnosti in motilne signale pa tudi sposobnost napajanja bremen z večjimi toki. Predlagani sistem je uporaben pri gradnji asociativnih pomnilnikov, pri periodični realizaciji sekvenčnih strojev, pri izboljšavi mikroprocesorskih shem ter pri razvoju adaptivnih digitalnih sistemov.

Tako se je pokazala potreba po integraciji omenjenega sistema in odločili smo se preučiti možnosti take izvedbe. Zaradi navedenih prednosti je bila izbrana bipolarna tehnologija integriranih vezij. Celica PLA, ki jo obravnavamo je modificirana izvedba tiste, ki sta jo omenjena avtorja predlagala. Odločili smo se namreč, da naj opravlja eno izmed 16 logičnih operacij vhodnih spremenljivk X in Y. Izhodna funkcija Q, ki jo zapišemo ob pogledu na sliko 1.b, ima obliko

$$Q = (AXY)(BXY)(CXY)(DXY) = AXY + BXY + CXY + DXY$$

Za razne vrednosti kodiranega signala dobi izhodna funkcija svojih 16 inačic, ki jih nakdemo v tabeli na naslednji strani.

Programska koda je prisotna istočasno na vseh celicah, vendar vpliva na posamezno celico polja šele pod vplivom signala ritma, ter signalov, ki določata vrstico in stolpec.

2. ZASNOVA ELEKTROSKEGA VEZJA CELICE PLA

Iz pogojev PLA sistema in kriterijev pri integraciji večjih sistemov (LSI) izhajajo osnovne zahteve za oblikovanje elektronskega vezja celice PLA:

- čim večja hitrost delovanja
- čim manjša poraba površine na substratu
- čim manjša poraba moči

Vseh zahtev ne moremo doseči z nobeno izmed družin integriranih vezij. Raziskali smo realizacije z ECL, TTL, I^2L in CHIL logični-

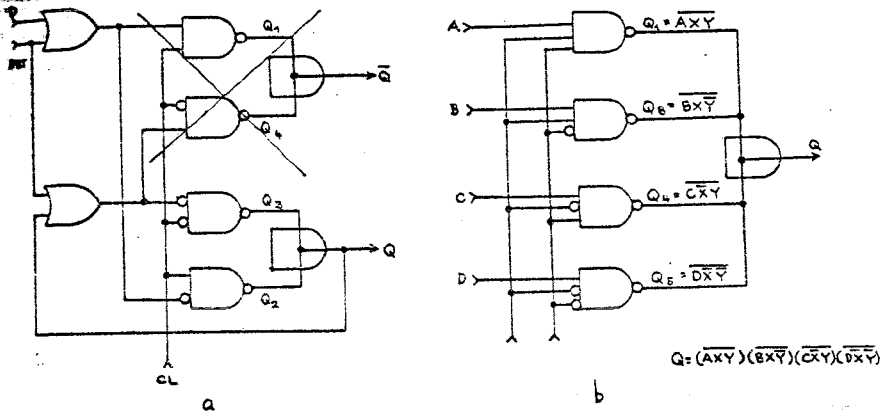
A	B	C	D	Q
0	0	0	0	1
0	0	0	1	$\overline{XY} = X + Y$ X, Y
0	0	1	0	$\overline{XY} = X + \overline{Y}$ X, \overline{Y}
0	0	1	1	$\overline{XY} + \overline{XY} = \overline{X(Y+Y)} = X$ X
0	1	0	0	$\overline{XY} = \overline{X} + Y$ \overline{X} , Y
0	1	0	1	$\overline{XY} + \overline{XY} = Y(X + \overline{X}) = Y$ Y
0	1	1	0	$\overline{XY} + \overline{XY} = X \oplus Y$ X, Y
0	1	1	1	$\overline{XY} + \overline{XY} + \overline{XY} = \overline{X} + Y = \overline{XY}$ \overline{X} , Y
1	0	0	0	\overline{XY} X, Y
1	0	0	1	$\overline{XY} + \overline{XY} = \overline{XY} + \overline{XY} = X \oplus Y$ X, Y
1	0	1	0	$\overline{XY} + \overline{XY} = Y(X + \overline{X}) = Y$ Y
1	0	1	1	$\overline{XY} + \overline{XY} + \overline{XY} = \overline{XY}$ \overline{X} , Y
1	1	0	0	$\overline{XY} - \overline{XY} = X(Y + \overline{Y}) = X$ X
1	1	0	1	$\overline{XY} + \overline{XY} + \overline{XY} = \overline{X} + Y = \overline{XY}$ \overline{X} , Y
1	1	1	0	$\overline{XY} + \overline{XY} + \overline{XY} = X(Y + \overline{Y}) = X$ X
1	1	1	1	$\overline{XY} + \overline{XY} + \overline{XY} = \overline{X} + Y = \overline{XY}$ \overline{X} , Y

ni družinami. ECL družina omogoča največje možne hitrosti delovanja, porabi pa tudi največ moči. TTL-LSI družina ima mnogo manjšo porabo moči, hitrost delovanja pa je na več kot en velikostni in pred mnogimi. Najmanjši preizkusni primer moči ni začasno imeje in CHIL celice, so pa le malo počasnejše od ECL družine. Najmanjša geometrijska razdalja med dve izvedbi s TTL in CHIL celicami ni odločitveni za ECL tehniko, čeprav zaradi porabe hitrosti, zato opisujemo na tem mestu to realizacijo. Druge tri pa so tudi zelo zanimive in jih bomo predstavili kdaj drugič.

Na sliki 3 vidimo, da sestavljajo posamezno celico PLA tri različne vrste enot:

- logični zapah (4 vrste enote) PL
- kombinacijska logika PL
- vhodna logika PL

Na vsaki od teh enot se nahaja določena vrsta celic. Celice PLA označene s logični zapah je opredeljen s tabelo, ki prikazuje vsotni

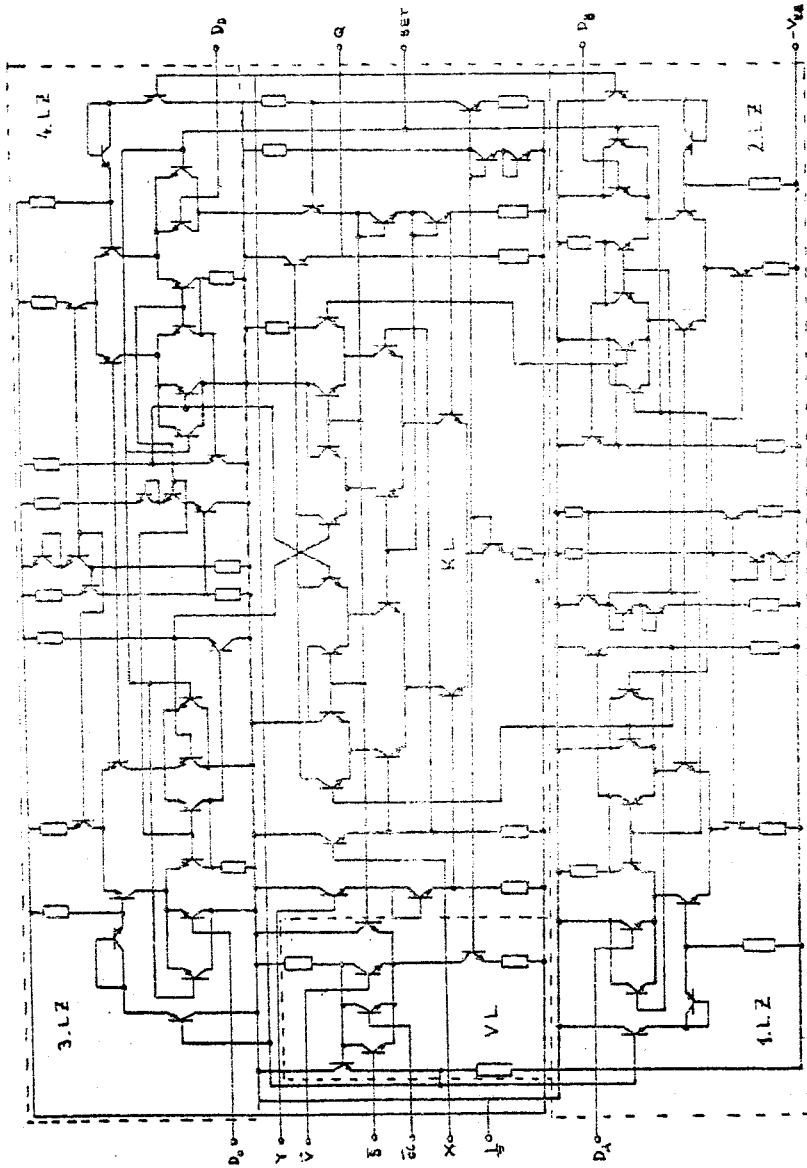


Slika 2. a) Logični diagram zapaha

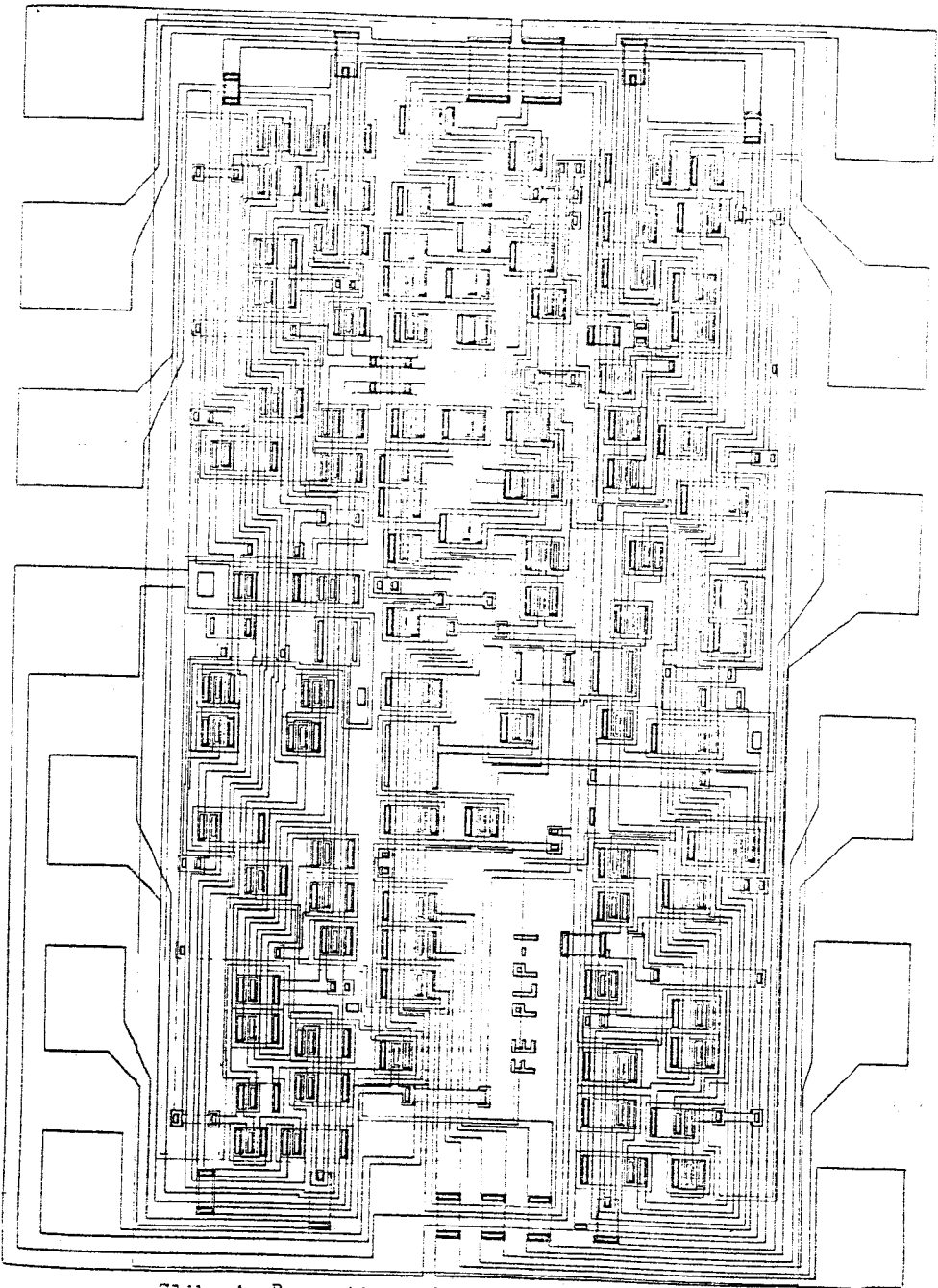
b) Diagram kombinacijske logike

binarnih informacij D_A, D_B, D_C, D_D na izhodih Q_A, Q_B, Q_C, Q_D , saj se informacija prenaša, ko je prisoten taktni signal (Clock) z visokim logičnim nivojem in ostane nespremenjena tudi, ko pade taktni signal na nizek nivo. Nov zapis vhodne informacije na izhod zapaha je možen spet ko pride CL signal na visok logični položaj. Vsak zapah ima nadalje še dodatni vhod za brisanje shranjena informacije: če signal na tem vohodu povzroči nizek logični nivo na izhodu, opravlja funkcijo CLEAR, če pa povzraša visok izhodni nivo, opravlja funkcijo SET. To drugo lastnost morajo zapahi imeti. Kombinacijska logika, ki predstavlja nadaljnji del vezja, daje na svojem izhodu nizek logični nivo le tedaj, kadar je na vseh njenih vhodih visok nivo, zato morajo izhodi zapahov imeti po "brisanju" visok logični nivo. Zato je potrebno izvesti operacijo SET. Normalno delovanje zapaha poteka pri $SET=0$.

Izmenično je več načinov zapaha v NOL različni [7], vendar je glavnemu zahteve pri izbiri celice NOL kombinacijske izvedbe na sliki 2a. Vse to elektronsko vezje je ustvarjeno celotna elektr-



Slika 3. Elektronsko vezje celice PLA



Slika 4. Razvrstitev elementov integrirane celice PLA

ronske vezje celice na sliki 3.

Lepo je uspela realizacija kombinacijske logike. Sedem IN in IN-NE celic na sliki 1.b je uspelo prevesti na logični diagram v sliki 2.b, ki ustreza tudi možnostim ECL tehnike. Elektronsko vezje kombinacijske logike je realizirano kot srednji pas v sliki 3.

Vhodna logika uveja signale za vrstico, stolpec in ritem v vezje celice PLA pri izbiri te celice v organiziranem matričnem polju.

3. ZAKLJUČEK

Razpolagali smo z razvitimi transistorji z $f_T = 2\text{GHz}$, zato bi do pri kolektorskih uporih 220 ohmov zakasnilva signalov preko zapahov 1-2 nsec. Tak glavni vaje je izbora k_{eff} in obravnava za 2 nA, zato bo poraba snage neposredno odvisna od izbora tranzistorja. Logika vodi snage celice, zato bodo potrebni tudi drugi pasovi signala 1e, 1,5 G, D in 2-3 nsec za signala 1 e in 1,5 G, D in 2-3 nsec. Kombinacijska logika je realizirana na 7-8 tranzistorjih in 1-2 ECL celicah. Za izbiro celice v matričnem polju potrebujemo vhodne signale za vrstico, stolpec in ritem. Za izbiro celice v matričnem polju potrebujemo vhodne signale za vrstico, stolpec in ritem.

4. LITERATURA

- [1] J. Purdian, M. Orulica, B. Čuček, "Elektronsko vezje integrirane vezje", vol. 1, str. 1-10, 1976.
- [2] J. Purdian, M. Orulica, B. Čuček, "Elektronsko vezje integrirane vezje", vol. 2, str. 1-10, 1976.
- [3] J. Purdian, B. Čuček, "Elektronsko vezje integrirane vezje", vol. 3, str. 1-10, 1976.
- [4] J. Purdian, M. Orulica, B. Čuček, "Elektronsko vezje integrirane vezje", vol. 4, str. 1-10, 1976.