# Implementacija novih metoda u kapacitivnim pretvaračima

Zdravko Gotovac, Lenka Brestovački Fakultet tehničkih nauka, Univerzitet u Novom Sadu Email: zdravko.gotovac@uns.ac.rs, lenkabrestovacki@uns.ac.rs

Sažetak—Ovaj rad razmatra tehniku kvadratnog faziranja koja poboljšava statičke i dinamičke parametre kapacitivnih pretvarača. Kvadratno faziranje je implementacija višefaznog pristupa koji je jednostavniji za implementaciju ali zadržava prednosti multifaznog pristupa pravljena kapacitivnih pretvarača. Poboljšanja statičkih performansi uglavnom su određena smanjenjem izlaznog otpora pretvarača, dok se poboljšanja dinamičkih performansi postižu smanjenjem vremena odziva izlaznog napona. Modeli izlaznog otpora i vremena odziva razvijeni su za proizvoljan broj faza, dok su prednosti kvadratnog faziranja demonstrirane su putem simulacija.

*Index Terms*—Kapacitivni pretvarač, množitelj napona, višefazni, adijabatsko punjenje.

### I. Uvod

U svrhu efikasne konverzije napona, razvijeie su kapacitivni pretvarači kao neophodni gradivni blokovi za mnoge primjene. Kako se naponi korišteni za napajanje opštedostupnih uređaja postepeno smanjuju, upotreba kapacitivnih pretvarača kao modula na čipu se širi, što dovodi do poboljšanja njihove efikasnosti i povećanja upotrebljivosti uređaja.

U statičkim uslovima, kapacitivni pretvarač se može modelovati kao dvopolni dc-dc pretvarač, pri čemu se ulazni napon  $V_I$ , ulazna struja  $I_I$ , izlazni napon  $V_O$  i izlazna struja  $I_O$  odnose kao:

$$\begin{cases} I_I = A I_O \\ V_O = A V_I - R_O I_O \end{cases}$$
(1)

gdje je A odnos konverzije, a  $R_O$  ekvivalentni izlazni otpornost. U dinamičkim uslovima, modeluje se ekvivalentna izlazna kapacitivnost  $C_O$ , čime se aproksimira odziv prvog reda.

Najjednostavniji primer kapacitivnog pretvarača napona je udvostručivač napona. U prvom faznom koraku, kondenzator je paralelno spojen na ulazni izvor, a u drugoj fazi je spojen redno s ulazom, čime se efektivno povećava generisani napon na izlazu. Nakon određenog broja ciklusa, napon na kondenzatoru  $C_L$  koji se nalazi vezan paralelno ostatku kola dostiže vrednost koja je duplo veća od ulaznog napona. Izlazni napon se može dalje povećavati dodavanjem dodatnih stepena kapacitivnog pretvarača. Zavisno od rasporeda kondenzatora unutar sledećih stepena, razvijene su različite topologije s različitim odnosima konverzije, izlaznim otporima i ekvivalentnim izlaznik kapacitivnostima. U radu će biti razmatrane dve od njih.

Dickson–Pelliconi kapacitivni pretvarač [1], [2] je simetrična implementacija upbičajenog Dickson kapacitivnog pretvarača. Kroz kola se prenose nosioci naelektrisanja u svaki sledeći stepen, što u svakoj fazi puni i prazni kondenzatore, pri čemu svaki stepen povećava napon za vrednost napona prethodnog stepena. Rezultujući odnos konverzije napona na ulazu i izlazu kapacitivnog pretvarača je A = n+1 kada postoji n stepeni unutar pretvarača.

Kapacitivni pretvarač Redno-paralelnog tipa [3], [4] kako i samo ime sugeriše, povezuje kondenzatore na dva različita načina. U prvom faznom koraku, svi kondenzatori su paralelno spojeni na ulaz, što znači da su svi punjeni na ulazni napon. U drugoj fazi, svi kondenzatori su spojeni redno, a sklopka ima isti odnos konverzije kao Dickson sklopka za punjenje, ali s bržim vremenom odziva. Simetrična implementacija kapacitivnog pretvarača Redno-paralelnog tipa će biti razmatrana analogno Dickson-Pelliconi pretvaraču u svrhu lakšeg poređenja.

Iako prethodno pomenute topologije imaju svoje individualne prednosti, višefazni dizajn se može primeniti na obe topologije radi poboljšanja njihovih performansi [5]-[7]. U višefaznom dizajnu, stepeni kapacitivnog pretvarača su međusobno povezani i rade asinhrono u razdvojenim fazama. Ovakvi kapacitivni pretvarači rade efikasnije nego konvencionalni dvofazno dizajnirani pretvarači. Višefazne realizacije kapacitivnih pretvarača smanjuju izlazni otpor i vrijeme odziva izlaznog signala. To se postiže smanjenjem broja nosioca naelektrisanja u jednoj fazi koji se prenose pomoću "letećih"kondenzatora u svakom vremenskom intervalu, ostvarivanjem kraćih vremenskih intervala i smanjenjem gubitaka pri redistribuciji naboja. Iako poboljšava performanse, višefazna implementacija ima i neke nedostatke. Sinkronizacija taktnih signala za veliki broj faza postaje sve izazovnija zbog greške koja javlja zbog kašnjenja kloka. Drugi nedostatak je zauzimanje dodatnog prostora na čipu potrebnog za višefaznu implementaciju.

Da bi se iskoristile prednosti višefazne implementacije, istovremeno smanjujući njene nedostatke na minimum, kao prijedlog riješenja će biti razmatrano kvadratno faziranje. Prednosti statičkih performansi će biti prvo diskutovane, nakon čega će biti razmatrane dinamičke performanse i kako ih kvadratno faziranje poboljšava. Da bi se potvrdio predloženi pristup, koriste se simulacije.

### II. KVADRATNO FAZIRANJE

Kvadratno faziranje je varijacija višefazne implementacije kapacitivnog pretvarača koja udvostručuje broj prekidačkih



Slika 1. Prekidački dijagram.

događaja, što se može videti na Slici 1. Dok konvencionalno faziranje ima jedan prekidački događaj tokom poluperioda, kvadratno faziranje ima dva događaja, pri čemu je jedan isti kao kod konvencionalne implementacije, a drugi je pomeren za 90 stepeni.

To efektivno dovodi do kraćih vremenskih intervala i manjeg prenosa nosioca naelektrisanja kroz pretvarač u unutar svakog vremenskog intervala. Time se otpornost prenošenju naelektrisanja tokom punjenja i pražnjenja kondenzatora smanjuje. Već je diskutovano da je poboljšanje izlaznog otpora u Dickson-Pelliconi sklopki značajno kada se uvede kvadratno faziranje [8], a korišćenjem metode prikazane radu za izračunavanje izlaznog napona, može se doći i do izlaznog napona kapacitivnog pretvarača Redno–paralelnog tipa sa n stepeni

$$V_O = (n+1)V_I - \frac{1}{2n}(3n^2 + \lceil \frac{n}{2} \rceil - \lceil \frac{n-1}{2} \rceil)\frac{q}{2fC},$$
 (2)

gdje je f frekvencija kloka kapacitivnog pretvarača i q je količina naelektrisanja prenešena tokom poluperioda. Koristeći (1), srednju vrijednost struje i ukupunu kapacitivnost pretvarača:

$$I_O = 2qf$$

$$C_T = 2nC$$
(3)

Može se zaključiti iz (1) i (2) da je izlazna otpornost data formulom:

$$R_O = \frac{3n^2 + \lceil \frac{n}{2} \rceil - \lceil \frac{n-1}{2} \rceil}{4fC_T} \tag{4}$$

Kvadratno faziranje se ne može primeniti na kapacitivne pretvarače sa jednim stepenom, i iz tog razloga, dalja diskusija je za n > 1, pri čemu je n broj stepeni, uzimajući u obzir da su pretvarači sa jednim stepenom isti.

### III. STATIČKE PERFORMANSE

Da bi se testirale statičke performanse pretvarača, izvršena je analiza tokom ustaljenog stanja. Izlazni otpor je glavni parametar koji određuje statičke performanse pretvarala, i one se značajno poboljšavaju njegovim smanjivanjem. Ako se koristi ista frekvencija i ukupna kapacitivnost  $C_T$  za pretvarače Redno–paralelnog i Dickson-Pelliconi tipa, izlazni otpor će se promjeniti u zavisnosti od broja stepeni i topologije unutar svakog stepena.

Ukupna kapacitivnost za obe topologije je ista i data jednačinom:



Slika 2. Kvadraturni pretvarači (sa četiri faze). (a) Dickson-Pelliconi. (b) Redno-paralelni.

$$C_T = \sum_{i=1}^{n} (C_i + C'_i),$$
 (5)

Kapacitivnosti unutar svakog stepena pretvarača Dickson-Pelliconi i Redno-paralelnog tipa koji su razmatrani u radu su:

$$C_i = C'_i = \frac{1}{2n}C_T \tag{6}$$

Izlazne otpornosti kapacitivnih pretvarača sa implementiranim konvencionalno faziranjem sumirani su u Tabeli I, dok Tabela II prikazuje te parametre za kvadratno faziranje.

Važno je napomenuti da su izlazne otpornosti Dickson-Pelliconi i Redno-paralelnih pretvarača, za konvencionalno faziranje, jednaki za isti množitelj napona (broj stepeni), što je za kvadratno faziranje slučaj samo kada je broj stepeni n = 2. Izlazne otpornosti su izračunate za konvencionalno i kvadratno faziranje i prikazane na Slici 4. Može se primetiti kako se izlazni otpor smanjuje za kapacitivne pretvarače sa različitim brojem stepeni. Otpornosti konvencionalnih topologija su prikazane plavom bojom, dok su za kvadratne prikazane crvenom bojom.

Na primer, možemo uporediti diskutovane pretvarače za topologije sa dve faze. Za n=2, izlazna otpornost za Dickson-Pelliconi i Redno-paralelne pretvarače sa konvencionalnim faziranjem je:

$$R_O = \frac{4}{fC_T},\tag{7}$$

dok je za kvadratno faziranje

$$R_O = \frac{3}{fC_T}.$$
(8)

Ako podelimo ove dve jednačine, možemo videti da je poboljšanje izlaznog otpora 25%, a za  $n = \{3,4,5,6,7\}$  poboljšanja su:



Slika 3. Comparison of the improvements achieved by implementation of quadrature phasing for f = 10 MHz,  $C_T = C_L = 1$  nF, and  $V_I = 1$  V. (a) Resistance. (b) Rise time to 90% conventional (c) Rise time to 90% quadrature.

Topologija	Α	R <sub>O</sub>	Co
Dickson– Pelliconi	n+1	$\frac{n^2}{fC_T}$	$\frac{(2n+1)n}{6(n+1)}C_T$
Redno– paralelna	n+1	$\frac{n^2}{f C_T}$	$\frac{1}{(n+1)^2}C_T$

Tabela I Statički parametri sa konvencionalnim faziranjem

Topologija	Α	R <sub>O</sub>	Co
Dickson– Pelliconi	n+1	$\frac{(n+1)n}{2fC_T}$	$\frac{(2n+1)n}{6(n+1)}C_T$
Redno– paralelna	n+1	$\frac{3n^2 + \lceil \frac{n}{2} \rceil - \lceil \frac{n-1}{2} \rceil}{4fC_T}$	$\frac{1}{(n+1)^2}C_T$

Tabela II Statički parametri sa kvadratnim faziranjem

za Dickson-Pelliconi i Redno-paralelne pretvarače, i prikazana su na Slici 3(a). Za velike vrednosti n poboljšanja su 50% za Dickson-Pelliconi i 25% za Redno-paralelne pretvarače.

## IV. DINAMIČKE PERFORMANSE

Kako bismo dobili uvid u dinamičke performanse, vreme odziva za svaku topologiju sa različitim brojem stepeni izračunato je korišćenjem jednačine:

$$T_{rise} = R_O \left( C_O + C_L \right) \ln \frac{1}{1 - x}.$$
 (9)

Ako se koristi ista ekvivalentna izlazna kapacitivnost, vreme odziva zavisi samo od korištene topologije i broja faza, sa njihovim specifičnim izlaznim otpornostima i ekvivalentnom izlaznom kapacitivnošću.

Za izračunavanje ekvivalentne izlazne kapacitivnosti koriste se postojeće metode [9], [10]. Kada se implementira kvadratno faziranje, otpor kola se smanjuje dok ostali parametri ostaju isti, i uzimajući u obzir (9), poboljšanja vremena odziva su za očekivati.

Vreme odziva za različite topologije i broj stepeni može se videti na Slici. 5.

Smanjenje vremena odziva odražava smanjenje izlaznog otpora, i važno je napomenuti da vreme odziva za Dickson-Pelliconi topologiju može biti veće od topologije Rednoparalelnog tipa, zavisno od  $C_L$  i n. Za  $C_L = C_T$  i n = 2, kako u konvencionalnom faziranju tako i u kvadratnom faziranju, vreme odziva za Redno-paralelni pretvarač je 9.1% manje od vremena odziva Dickson-Pelliconi pretvarača. Za n = 7, vreme odziva za Redno-paralelni pretvarač je 22.3% manje u konvencionalnom faziranju, dok je u kvadratnom faziranju 4% veće. Kada je  $C_L > C_T$  ovaj efekat je izraženiji, dok je suprotno kada je  $C_T < C_L$ . Ovo se može videti prikazano na slici. 3(b)(c).

# V. REZULTATI SIMULACIJA

Da bi se potvrdila prethodno navedena teorijska poboljšanja, izvršene su obimne simulacije u Virtuoso okruženju za različite topologije. Isti parametri su korišćeni zbog objektivnijeg poređenja topologija. Pored toga korištene vrednosti su  $C_T$ =1nF, f=10MHz i kao i idealni prekidači. Kako bi se dalje potvrdilo ponašanje modela,  $C_L$  je varirano.

Na Slici 4 izračunati otpor za svaku topologiju je prikazan plavom bojom, a simulirani otpor žutom bojom. Može se videti da simulirani otpor za svaku fazu odgovara izračunatom, kako za Dickson-Pelliconi, tako i za Redno–paralelnu topologiju.

Slika 5 prikazuje izračunato vreme odziva do 90% maksimalne vrijednosti izlaznog signala. Kao i u slučaju rezultata izlaznog otpora, simulirano vreme odziva odgovara izračunatom vremenu odziva sa greškom manjom od 5%.

## VI. ZAKLJUČAK

Ovaj rad predstavlja implementaciju kvadratnog faziranja za dve topologije kapacitivnog pretvarača. Predloženi modeli za parametre pretvarača pokazuju da se kako dinamičke, tako i statičke performanse testiranih kola mogu značajno poboljšati, što je potvrđeno simulacijama. Izlazni otpor i vreme porasta za Dickson-Pelliconi topologiju poboljšani su između 25% i 50%,



Slika 4. Izlazna otpornost za konvecionalna i kvadratna faziranja za f = 10 MHz,  $C_T = C_L = 1$  nF, and  $V_I = 1$  V. (a) Dickson–Pelliconi. (b) Redno–paralelni.



Slika 5. Vrijeme odziva od 0 do 90% sa konvencionalnim i kvadratnim faziranjem za f = 10 MHz,  $C_T = C_L = 1$  nF, and  $V_I = 1$  V. (a) Dickson–Pelliconi. (b) Redno–paralelni.

dok su za naponske pumpe tipa Redno-paralelnu poboljšanja između 22% i 25%. Ovo može dovesti do povećanja efikasnosti svih kola koja se napajaju kapacitivnim pretvaračima. Takođe je važno napomenuti da se korišćenjem kvadratnog faziranja, iako modifikovane, kola značajno ne razlikuju od originalnih. Nema potrebe za dodatnom alokacijom prostora, a sinhronizacija kola koja koriste kvadratno faziranje je značajno manje zahtevna u poređenju sa onima koja koriste višestruko faziranje.

### VII. ZAHVALNICA

Ovaj rad je podržan od od strane Ministarstva nauke tehnološkog razvoja i inovacija kroz projekat broj 451-03-47/2023-01/200156 "Inovativna naučna i umetnička istraživanja iz domena delatnosti FTN-a".

### LITERATURA

- R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, "Power efficient charge pump in deep submicron standard CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1068–1071, Jun. 2003.
- [2] Y. Allasasmeh and S. Gregori, "High-performance switched-capacitor boost-buck integrated power converters," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 65, no. 11, pp. 3970–3983, Nov. 2018.

- [3] M. Mihara, Y. Terada, and M. Yamada, "Negative heap pump for low voltage operation flash memory," in *Dig. Tech. Papers Symp. VLSI Circuits*, Jun. 1996, pp. 76–77.
- [4] R. Arona, E. Bonizzoni, F. Maloberti, and G. Torelli, "Heap charge pump optimisation by a tapered architecture," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, vol. 2, May 2005, pp. 1903–1906.
- [5] N. Butzen and M. S. J. Steyaert, "Design of soft-charging switchedcapacitor dc-dc converters using stage outphasing and multiphase softcharging," *IEEE J. Solid-State Circuits*, vol. 52, no. 12, pp. 3132–3141, Dec. 2017.
- [6] J. Park, H. Gi, S. Jung, S. J. Kim, and Y. Lee, "A conversion-ratioinsensitive high efficiency soft-charging-based SC dc–dc boost converter for energy harvesting in miniature sensor systems," in *Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2019, pp. 259–262.
- [7] N. Butzen and M. Steyaert, "Advanced multiphasing: Pushing the envelope of fully integrated power conversion," in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, Apr. 2019, pp. 1–8.
- [8] D. Josh and S. Gregori, "Lowering the output resistance by quadrature phasing in switched-capacitor power converters," in *Proc. IEEE Int. Conf. Electron. Circuits Syst. (ICECS)*, Nov. 2020, pp. 1–4.
- [9] G. Palumbo and D. Pappalardo, "Charge pump circuits with only capacitive loads: optimized design," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 2, pp. 128–132, 2006.
- [10] T. Tanzawa, "An optimum design for integrated switched-capacitor dickson charge pump multipliers with area power balance," *IEEE Transactions on Power Electronics*, vol. 29, no. 2, pp. 534–538, 2014.