

Primjena DC-FLL u elektronskim brojilima za mjerenje električne energije

Zorana Mandić, Dejan Jokić, Slobodan Lubura

Apstrakt—Fazno zaključane petlje (PLL) i frekventno zaključane petlje (FLL) su najzastupljenije tehnike sinhronizacije bazirane na zatvorenim povratnim spregama. Pomoću pomenutih tehnika vrši se detekcija parametara mreže i to faze, amplitude i frekvencije. Kako napon mreže, kao posljedicu mjerenja/konverzije, može sadržati DC ofset neophodno je poboljšati dosadašnje strukture da uspješno savladaju i uklone jednosmjernu komponentu ulaznog napona. U ovom radu predstavljeni su ograničenja FLL u slučajevima postojanja ofseta kao i poboljšana struktura FLL, nazvana DC-FLL, koja sadrži modifikovani dvofazni generator koji eliminiše postojanje jednosmjerne komponente. Performanse DC-FLL petlje biće analizirani kao i mogućnost detekcije parametara mreže u slučaju postojanja ofseta. Sem toga, kroz simulacije će biti predstavljena primjena ove tehnike u elektronskim brojilima za mjerenje električne energije.

Ključne reči—FLL; SOGI; ofset; elektronska brojila

I. UVOD

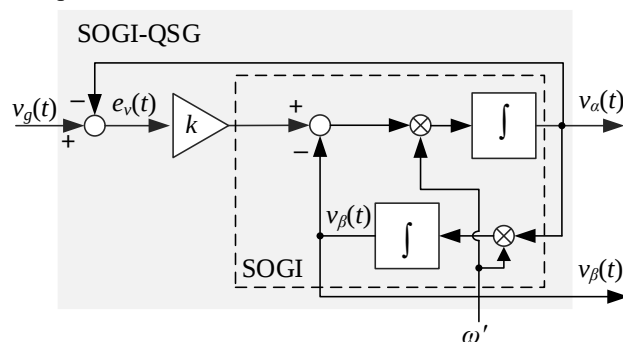
Arhitektura energetskih sistema je doživjela značajne promjene tokom proteklih par decenija. Fizički energetski sistem se obogaćuje uređajima za komunikaciju, obradu podataka te upravljačkim jedinicama [1]. Sem toga, akcenat se stavlja na obnovljivu i održivu energiju koja dolazi od izvora kao što su foto naponski paneli, vjetroelektrane, biomasa i druge, čime se formiraju mikrodistributivne mreže [2]. Mikrodistributivne mreže, pri povezivanju na postojeću energetsku mrežu, treba da pruže stabilan i efikasan način rada gdje je sinhronizacija sa mrežnim signalima prvi zadatak koji je potrebno savladati. Fazno zaključane petlje (engl. *Phase-Locked Loops* – PLL) i frekventno zaključane petlje (engl. *Frequency-Locked Loops* – FLL), sinhronizacione zatvorene petlje, su najčešće zastupljene tehnike za estimiranje parametara mrežnog napona: amplitude, faze te frekvencije. Kako je osnovna struktura PLL petlji uključivala talasnost u estimiranoj frekvenciji i signalu greške faze, javila se potreba za modifikacijom osnovne strukture koja bi

Zorana Mandić – Elektrotehnički fakultet, Univerzitet u Istočnom Sarajevu, Vuka Karadžića 30, 71123, Istočno Sarajevo, Bosna i Hercegovina, (e-mail: zorana.mandic@etf.ues.rs.ba), ORCID ID (<https://orcid.org/0000-0003-4185-6684>)

Dejan Jokić – Fakultet za inženjering i prirodne nauke, Internacionalni Burč Univerzitet, Francuske revolucije bb, 71210, Sarajevo, Bosna i Hercegovina (email: dejan.jokic@ibu.edu.ba), ORCID ID (<https://orcid.org/0000-0002-9512-8001>)

Slobodan Lubura – Elektrotehnički fakultet, Univerzitet u Istočnom Sarajevu, Vuka Karadžića 30, 71123, Istočno Sarajevo, Bosna i Hercegovina, (e-mail: slobodan.lubura@etf.ues.rs.ba), ORCID ID (<https://orcid.org/0009-0006-1657-7607>)

zadovoljila potrebe energetskih pretvarača. Tako su razvijene poboljšane PLL petlje (engl. *Enhanced Phase-Locked Loops* – ePLL), koje su uspješno riješile ovaj problem. Frekventno adaptivne modifikacije nad ePLL petljama dovele su do razvoja novih sinhronizacionih zatvorenih petlji-FLL [3], koje će biti predmet analize u nastavku rada.



Sl. 1 Generator signala u kvadraturi realizovan uz SOGI

Generator signala u kvadraturi (engl. *Quadrature Signal Generator* – QSG) je prvi element u sinhronizacionim petljama. Zahvaljujući jednostavnosti strukture, frekvencijskoj prilagodljivosti i filterskim mogućnostima najčešća realizacija generatora je pomoću uopštenog integratora (engl. *Second Order Generalized Integrator* – SOGI) [3], čija je struktura prikazana na Sl. 1. Ulaz je signal $v_g(t)$, napon mreže, dok su izlazi dva fazno pomjerena signala $v_\alpha(t)$ i $v_\beta(t)$ za $\pi/2$. Napon mreže se u teorijskim razmatranjima opisuje kao idealan sinusni signal (u realnom slučaju prisutni viši harmonici), dok DC komponenta ili ofset može biti uvedena u sinhronizacione petlje pri mjerenju ili analogno/digitalnoj konverziji [4]. Ofset prisutan u mrežnom naponu, preko izlaza QSG, dovodi do talasnosti estimiranih parametara mreže te je neophodno ukloniti DC komponentu iz izlaznih signala QSG. Eliminacija DC komponente pomoću nisko propusnog filtera koju vrši detekciju jednosmjerne komponente ulaznog signala te pomenutu komponentu oduzima od izlaznog signala $v_\beta(t)$ SOGI data je u [5]-[7]. Modifikacija PLL dodavanjem negativne povratne petlje unutar QSG generatora kako bi se eliminisao ofset zadržavajući visoko frekventne filterske mogućnosti i robusnost na promjene frekvencije data je u [8], [9]. Eliminacija ofseta u FLL strukturama prikazana u [10]. Primjena modifikovanog QSG generatora korištenog u PLL iz [9], a primijenjen na FLL biće prezentovana u ovom radu, te primjena ove sinhronizacione petlje u cilju izračunavanja električnih snaga nekog opterećenja.

Rad je organizovan na sljedeći način. U poglavlju II, predstavljena je SOGI-FLL petlja sa njenim ograničenjima u

slučaju postojanja ofseta. Modifikovana FLL petlja, DC-FLL, koja uspješno odgovara na postojanje ofseta u ulaznom signalu data je u poglavlju III. Poglavlje IV predstavlja prikaz primjene DC-FLL za mjerenje električne energije, dok poglavlje V sadrži rezultate simulacije predloženog algoritma.

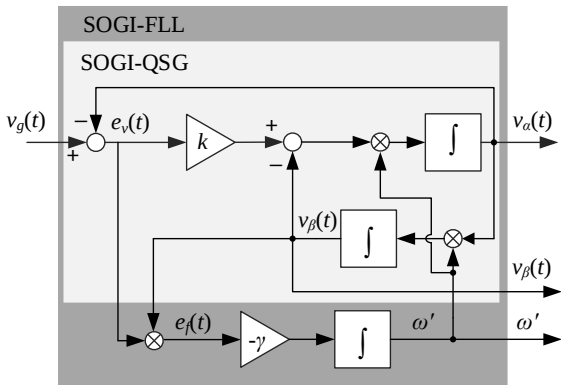
II. SOGI-FLL

Blok šema FLL predstavljena je na Sl. 2, sa SOGI generatorom signala u kvadraturi, gdje je rezonantna frekvencija ω' izlazni signal FLL, odnosno, estimirana frekvencija. Na osnovu blok šeme sinhronizacione petlje SOGI-FLL, funkcije prenosa između izlaznih signala $v_\alpha(t)$ i $v_\beta(t)$ i ulaznog signala $v_g(t)$ jednake su:

$$W_\alpha(s) = \frac{V_\alpha(s)}{V_g(s)} = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (1.1)$$

$$W_\beta(s) = \frac{V_\beta(s)}{V_g(s)} = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2} \quad (1.2)$$

Iz (1.1) zaključuje se da $W_\alpha(s)$ opisuje filter propusnik opsega, gdje se podešavanje opsega filtera vrši parametrom k i nezavisno je ω' . Funkcija prenosa $W_\beta(s)$ iz (1.2) opisuje niskopropusni filter čije pojačanje zavisi isključivo od parametra k . Detaljna analiza pomenutih filtera i proces odabira parametra k data je u [11]. Frekventno adaptivni dio petlje predstavlja integraciju proizvoda signala greške po naponu i signala $v_\beta(t)$, što će kasnije biti diskutovano.



Sl. 2 Sinhronizaciona petlja SOGI-FLL sa estimiranom frekvencijom ω'

Mrežni napon se samo u teorijskim razmatranjima posmatra kao idealan sinusni signal. U fizičkom svijetu sa idealnim sinusnim signalom se superponiraju viši harmonici i DC komponenta, kao posljedica konverzije i mjerenja. Posmatraće se uticaj DC ofseta na SOGI-FLL strukturu sa Sl. 2. Neka je ulazni signal $v_g(t) = V_g \sin \omega t + V_{DC} = v_{gi}(t) + V_{DC}$, idealan sinusni signal sa superponiranim jednosmjernim ofsetom, kompleksne slike izlaznih signala QSG jednake su:

$$V_g(s) = V_{gi}(s) + \frac{V_{DC}}{s} \quad (4.1)$$

$$V_\alpha(s) = \left(V_{gi}(s) + \frac{V_{DC}}{s} \right) W_\alpha(s) = V_{\alpha i}(s) + V_{DC\alpha}(s) \quad (4.2)$$

$$V_\beta(s) = \left(V_{gi}(s) + \frac{V_{DC}}{s} \right) W_\beta(s) = V_{\beta i}(s) + V_{DC\beta}(s) \quad (4.3)$$

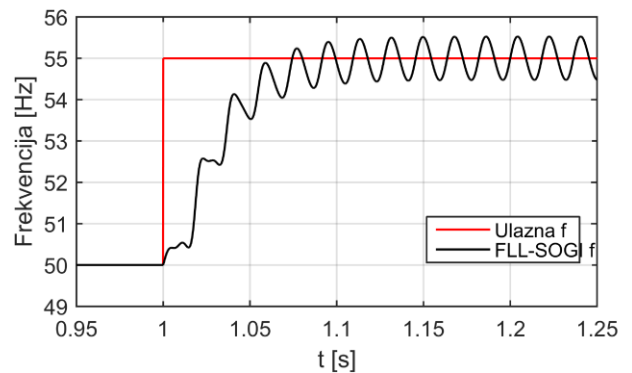
Koristeći teoremu konačnih vrijednosti, moguće je doći do vrijednosti jednosmjerne komponente izlaznih signala u stacionarnom stanju. Jednosmjerna komponenta u signalima $v_\alpha(t)$ i $v_\beta(t)$, respektivno, u stacionarnom stanju iznosi:

$$\begin{aligned} \lim_{t \rightarrow \infty} v_{DC\alpha}(t) &= \lim_{s \rightarrow 0} s V_{DC\alpha}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} W_\alpha(s) = \\ &= \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} \frac{k\omega's}{s^2 + k\omega's + \omega'^2} = 0 \end{aligned} \quad (5.1)$$

$$\begin{aligned} \lim_{t \rightarrow \infty} v_{DC\beta}(t) &= \lim_{s \rightarrow 0} s V_{DC\beta}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} W_\beta(s) = \\ &= \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2} = k V_{DC} \neq 0 \end{aligned} \quad (5.2)$$

Iz (5.1), zaključuje se da signal $v_\alpha(t)$ u stacionarnom stanju neće sadržati DC komponentu, dok će DC komponenta u signalu $v_\beta(t)$ biti jednaka proizvodu parametra k i DC komponente ulaznog signala, što se moglo i očekivati s obzirom na filtersku prirodu funkcija prenosa $W_\alpha(s)$ i $W_\beta(s)$.

Neka je na ulaz doveden signal $v_g(t) = 1 \sin 100\pi t$, kojem je u trenutku $t = 1$ s uveden ofset od $10\% V_g$ i frekvencija f skokovito promijenila sa 50 Hz na 55 Hz. Jednosmjerna komponenta koja je propuštena na izlaz generatora u signalu $v_\beta(t)$, dovodi do neželjenih oscilacija estimirane faze, frekvencije i amplitude SOGI-FLL. Na Sl. 3 prikazana je estimirana frekvencija ulaznog signala, gdje se jasno može uočiti talasnost estimirane frekvencije od 3.2 Hz koji ne obezbjeđuje dovoljnu preciznost i pouzdanost rada FLL te je potrebno modifikovati strukturu kako bi uspješno bila ograničena jednosmjerna komponenta na izlazima QSG.

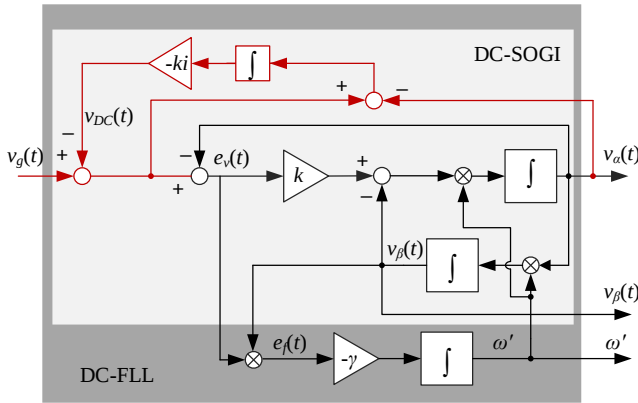


Sl. 3 Estimirana frekvencija u slučaju pojave jednosmjerne komponente u ulaznom signalu v_g u iznosu od 10% amplitude ulaznog signala

III. DC-FLL

U [9] je predstavljena PLL struktura sa generatorom signala u kvadraturi gdje je uz pomoć unutrašnje povratne petlje uspješno uklonjena DC komponenta, nazvan DC-SOGI. Pomoću integratora estimirana je vrijednost ofseta, signal $v_{DC}(t)$, koji se oduzima od ulaznog signala te se kao takav šalje na detektor greške. U nastavku će pomenuti generator

biti korišten kao QSG u frekventno zaključanim petljama, čime se dobija nova strukturna šema, nazvana DC-FLL, prikazana na Sl. 4.



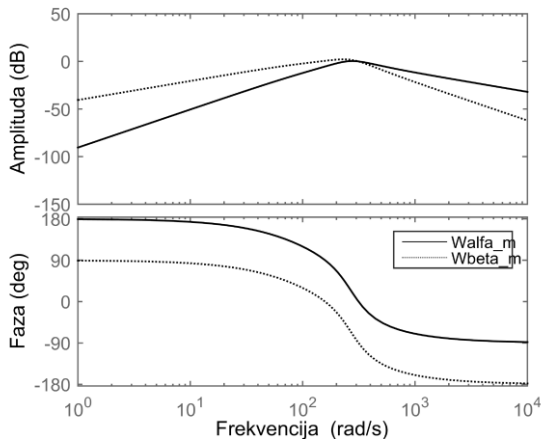
Sl. 4 FLL petlja sa QSG i petljom za eliminaciju DC komponente ulaznog signala

Funkcija prenosa izlaznih signala generatora i ulaznog signala DC-FLL petlje, označenih $W_{\alpha m}(s)$ i $W_{\beta m}(s)$, sa SL. 4 jednake su:

$$W_{\alpha m}(s) = \frac{V_{\alpha}(s)}{V_g(s)} = \frac{k\omega' s^2}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'^2} \quad (6.1)$$

$$W_{\beta m}(s) = \frac{V_{\beta}(s)}{V_g(s)} = \frac{k\omega'^2 s}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'^2} \quad (6.2)$$

Na Sl. 5, predstavljeni su Bodeovi dijagrami modifikovanih funkcija prenosa $W_{\alpha m}(s)$ i $W_{\beta m}(s)$ gdje se može zaključiti filtersko ponašanje kao propusnika opsega te kao i $W_{\alpha}(s)$ i $W_{\beta}(s)$ predstavljaju adaptivne filtere jer sadrže estimiranu frekvenciju FLL petlje.



Sl. 5 Bodeovi dijagrami modifikovanih funkcija prenosa DC-FLL bloka

Pretpostavljajući da, kao u (4.1), ulazni signal sadrži DC komponentu, signali $v_{\alpha}(t)$ i $v_{\beta}(t)$ u kompleksnom domenu jednaki su:

$$V_{\alpha}(s) = W_{\alpha m} V_g(s) = \frac{k\omega' s^2}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'^2} \left(\frac{V_g}{s^2 + \omega'^2} + \frac{V_{DC}}{s} \right) \quad (7.1)$$

$$V_{\beta}(s) = W_{\beta m} V_g(s) = \frac{k\omega'^2 s}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'^2} \left(\frac{V_g}{s^2 + \omega'^2} + \frac{V_{DC}}{s} \right) \quad (7.2)$$

Kao u (5) koristeći teoremu o konačnim vrijednostima za jednosmjerne komponente signala $v_{\alpha}(t)$ i $v_{\beta}(t)$ dobija se:

$$\lim_{t \rightarrow \infty} v_{DC\alpha}(t) = \lim_{s \rightarrow 0} s V_{DC\alpha}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} W_{\alpha m}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} \frac{k\omega' s^2}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'} = 0 \quad (8.1)$$

$$\lim_{t \rightarrow \infty} v_{DC\beta}(t) = \lim_{s \rightarrow 0} s V_{DC\beta}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} W_{\beta m}(s) = \lim_{s \rightarrow 0} s \frac{V_{DC}}{s} \frac{k\omega'^2 s}{s^3 + (k_i + k\omega')s^2 + \omega'^2 s + k_i\omega'} = 0 \quad (8.2)$$

Čime je eliminisana jednosmjerna komponenta u oba signala. Signali $v_{\alpha}(t)$ i $v_{\beta}(t)$ u vremenskom domenu na osnovu Košijeve teoreme o ostacima jednaki su:

$$v_{\alpha}(t) = V_g \sin \omega t - C_1 e^{-t/\tau_1} - C_2 \cos(\omega_2) e^{-t/\tau_2} + C_3 \sin(\omega_2) e^{-t/\tau_2} \quad (9.1)$$

$$v_{\beta}(t) = -V_g \cos \omega t + C_4 e^{-t/\tau_1} - C_5 \cos(\omega_2) e^{-t/\tau_2} - C_6 \sin(\omega_2) e^{-t/\tau_2} \quad (9.2)$$

Konstante C_i , $i = 1, 2, \dots, 6$, kružne frekvencije ω_1 , ω_2 i vremenske konstante τ_1 i τ_2 zavise od parametara filtra k i integralnog pojačanja petlje za eliminaciju DC komponente k_i . Iz jednačina (9), nakon 2-5 vremenskih konstanti τ_1 i τ_2 , izlazni signali generatora QSG su jednaki: $v_{\alpha}(t) = V_g \sin(\omega t)$ i $v_{\beta}(t) = -V_g \cos \omega t = V_g \sin(\omega t - \pi/2)$, odnosno dva signala fazno pomjerena za $\pi/2$, što i jeste funkcija QSG.

Estimirana frekvencija ω' dobija se integracijom signala greške po frekvenciji, $e_f(t)$, koji je jednak proizvodu signala greške po naponu i fazno pomjerenog signala $v_{\beta}(t)$:

$$\omega'(t) = \int_0^t -\gamma e_f(\tau) d\tau = \int_0^t -\gamma v_{\beta}(\tau) [v_g(\tau) - v_{\alpha}(\tau) - v_{DC}(\tau)] d\tau \quad (10)$$

Za već opisani slučaj kada ulazni signal $v_g(t)$ sadrži i DC komponentu, za talasnost estimirane frekvencije se dobija: $\Delta\omega' = 0$, čime je eliminisana talasnost koja je bila prisutna u estimiranoj frekvenciji osnovne SOGI-FLL strukture, prikazano na Sl. 3.

Linearizacija izraženo nelinearne petlje za adaptaciju frekvencije se vrši na osnovu dinamike FLL, gdje je $\dot{\omega}'$ estimirana frekvencija u stacionarnom stanju [12]:

$$\dot{\omega}' = -\frac{\gamma V_g^2}{k\omega'} (\bar{\omega}' - \omega) \quad (11)$$

Pomoću normalizovanog pojačanja Γ obezbijuje se nezavisnost integralnog pojačanja od parametra mreže i

parametra k :

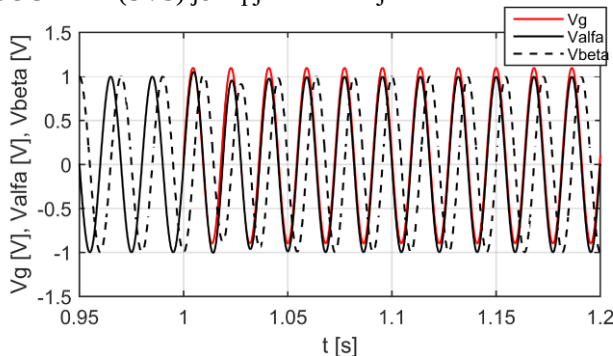
$$\Gamma = \frac{V_g^2}{k\omega'} \gamma \Rightarrow \gamma = \frac{k\omega'}{V_g^2} \Gamma = \frac{k\omega'}{v_\alpha^2(t) + v_\beta^2(t)} \Gamma. \quad (12)$$

Na osnovu jednakosti (11) i (12) dobija se linearizovan sistem opisan jediničnom negativnom povratnom spregom sa integratorom pojačanja Γ u glavnoj grani. Za DC-FLL petlju optimalni parametri koji su korišteni u ovom radu predstavljeni su u Tabeli 1.

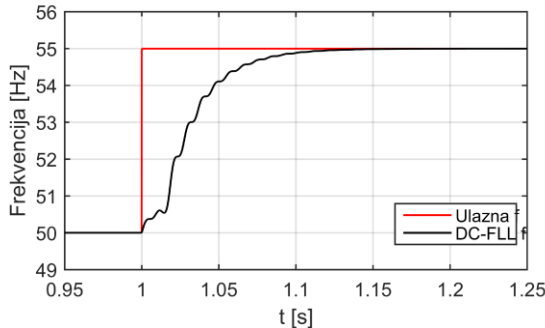
TABELA I
OPTIMALNI PARAMETRI DC-FLL PETLJE

Parametar	Simbol	Jedinica	Vrijednost
Pojačanje SOGI-QSG	k	-	0.8
Integralno pojačanje DC eliminacije	k_i	-	86.5
Pojačanje FLL	Γ	1/s	30

Neka je, kao u slučaju SOGI-FLL, na ulaz doveden signal $v_g(t) = \sin 100\pi t$, kojem je u trenutku $t = 1$ s uveden ofset od $10\%V_g$ i frekvencija f doživjela skokovitu promjenu sa 50 Hz na 55 Hz. Na Sl. 6 su prikazani ulazni signal v_g i izlazni signali QSG, v_α i v_β za ovaj slučaj. Ofset koji je prisutan u ulaznom signalu uspješno je eliminisan iz signala v_α i v_β kao što je vidljivo na Sl. 6. Izlazna, estimirana, frekvencija modifikovane DC-FLL sinhronizacione petlje je prikazana na Sl. 7. Talasnost koja je bila prisutna u estimiranoj frekvenciji SOGI-FLL (Sl. 3) je uspješno uklonjena.



Sl. 6 Ulazni signal v_g i izlazni signali QSG, v_α i v_β pri pojavi ofseta od 10% amplitude ulaznog signala i pri skokovitoj promjeni frekvencije koristeći parametre iz Tabele 1



Sl. 6 Skokovita promjena frekvencije ulaznog signala i estimirana frekvencija DC-FLL koristeći parametre iz Tabele 1

IV. PRORAČUN SNAGA KORIŠĆENEM DC-FLL

U elektronskim brojlama električne energije mjerenje se vrši uz naponske/strojne transducere (šent otpornik, strujni transformator) za prilagođenje naponskih i strujnih nivoa, analognog/digitalne konvertore koji analogne prilagođene signale konvertuju u digitalni format i DSP-ovi (engl. *Digital Signal Processing*) koji vrše digitalnu obradu i preračunavanja. Na tržištu se mogu pronaći i modularni uređaji koji vrše jednu od pomentih funkcija: prihvatanje analognih signala ili digitalnu obradu. Električna brojila se mogu realizovati i na SoC (engl. *System-On-Chip*) sa DSP niske potrošnje [14].

U nastavku će biti predstavljen algoritam baziran na DC-FLL petljama za računanje aktivne P i reaktivne snage Q nekog opterećenja. Ukoliko su napon i struja nekog potrošača u opštem slučaju prostoperiodični signali: $v_o(t) = V_o \sin(\omega t + \varphi_v)$ i $i_o(t) = I_o \sin(\omega t + \varphi_i)$, dovedeni na dva DC-FLL bloka sa Sl. 4 izlazni signali DC-SOGI su:

$$v_{o\alpha}(t) = V_o \sin(\omega t + \varphi_v); \quad v_{o\beta}(t) = -V_o \cos(\omega t + \varphi_v); \quad (13.1)$$

$$i_{o\alpha}(t) = I_o \sin(\omega t + \varphi_i); \quad i_{o\beta}(t) = -I_o \cos(\omega t + \varphi_i). \quad (13.2)$$

Iz (13.1) i (13.2) množenjem signala $i_{o\beta}(t) \cdot v_{o\beta}(t)$ i $i_{o\alpha}(t) \cdot v_{o\alpha}(t)$, te sabiranjem dobijenih izraza, dobija se jednakost nad kojom se može iskoristiti kosinusna adicijona teorema što dovodi do izraza:

$$i_{o\beta}(t)v_{o\beta}(t) + i_{o\alpha}(t)v_{o\alpha}(t) = I_o V_o \cos(\varphi_v - \varphi_i) = 2P \quad (14)$$

Izraz (14) predstavlja izraz za aktivnu snagu potrošača čiji su napon i struja prostoperiodični signali. Primjenjujući sličan pristup i koristeći sinusnu adicijonu teoremu dolazi se do izraza za reaktivnu snagu potrošača, na sljedeći način:

$$i_{o\alpha}(t)v_{o\beta}(t) - i_{o\beta}(t)v_{o\alpha}(t) = I_o V_o \sin(\varphi_v - \varphi_i) = 2Q \quad (15)$$

V. REZULTATI SIMULACIJA

Radi procjene efektivnosti predložene primjene DC-FLL petlji u proračunima aktivne i reaktivne snage vršene su simulacije u MATLAB/Simulink okruženju. Ponašanje snaga je posmatrano za česte poremećaje, kao što su: promjena frekvencije ulaznih signala, skokovita promjena faze te kombinacija navedenih poremećaja zajedno sa promjenom amplitude. U svim simulacijama su korišteni optimizovani parametri DC-FLL predstavljeni u Tabeli 1. Prije uvođenja poremećaja, ulazni signali DC-FLL petlje dati su kao:

$$v_o(t) = 220\sqrt{2} \sin(100\pi t); \quad i_o(t) = 10\sqrt{2} \sin(100\pi - \pi/3) \quad (16)$$

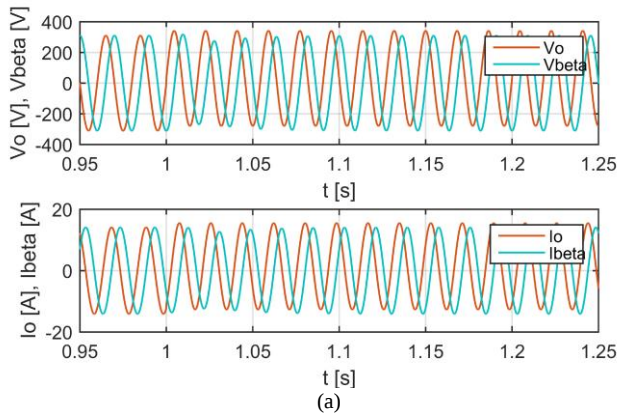
Za svaki od slučajeva praćeno je ponašanje reaktivne i aktivne snage, te kako je jedan od doprinosa DC-FLL petlje eliminacija ofseta u β komponentama QSG, predstavljeni su i njihovi vremenski dijagrami.

A. Skokovita promjena frekvencije ulaznih signala

Signalima iz (16) se u trenutku $t = 1$ s uvodi DC komponenta koja iznosi 10% amplitude odgovarajućih signala, koju prati i skokovita promjena frekvencije, sa 50 Hz na 55 Hz. Ulazni signali, napon $v_o(t)$ i struja $i_o(t)$ opterećenja, sa β komponentama QSG prikazane na Sl. 7a. Na Sl. 7b su prikazani vremenski dijagrami reaktivne i aktivne snage. Svi vremenski dijagrami odgovaraju FLL pojačanju $\Gamma=30$, koje je izabrano kao optimalno za slučaj estimacije frekvencije. Povećavanjem pojačanja FLL petlje na 50, reaktivna i aktivna snaga brže dosegnu stacionarno stanje, dok je preskok nešto veći.

B. Skokovita promjena početne faze ulaznog signala sa DC komponentom

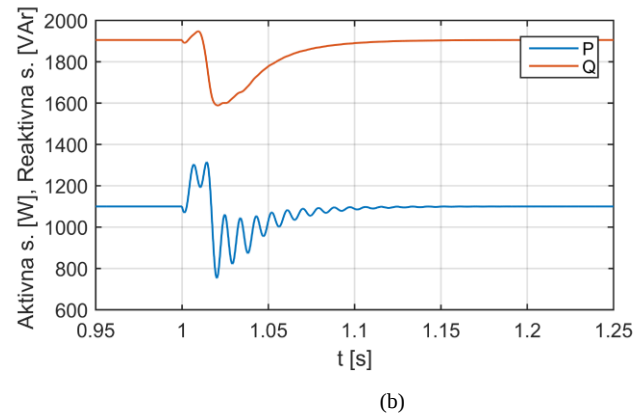
Posmatran je uticaj promjene početne faze ulaznog signala na DC-FLL petlju i na algoritam za računanje snaga u kolu. U trenutku $t = 1$ s, signalima iz (16) je uvedena DC komponenta koja iznosi 10% amplitude kao i skokovita promjena početne faze od 0 do $\pi/2$ za $v_o(t)$ te od $-\pi/3$ do $\pi/6$ za signal $i_o(t)$, kako bi se sačuvala fazna razlika između njih. Na Sl. 8a su



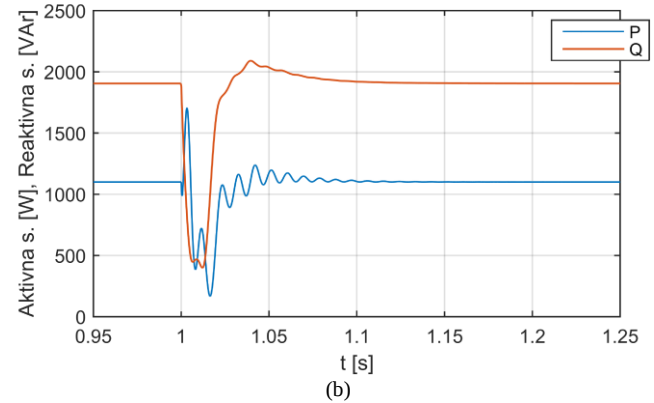
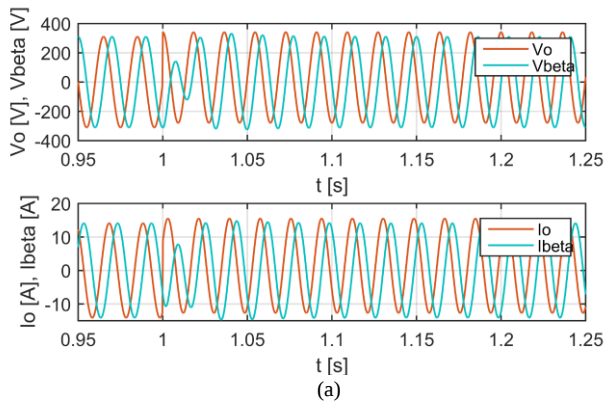
prikazani vremenski dijagrami ulaznih signala zajedno sa β komponentama. Dok su reaktivne i aktivne snage prikazane na Sl. 8b. Kao i u prethodnom slučaju za pojačanje FLL petlje je postavljena vrijednost 30. Kao i u prethodnom slučaju, ofset je uspješno uklonjen iz ulaznih signala i algoritam za računanje snage je izvršio aproksimaciju snaga kroz 150 ms.

C. Skokovita promjena amplitude, početne faze i frekvencije ulaznog signala sa DC komponentom

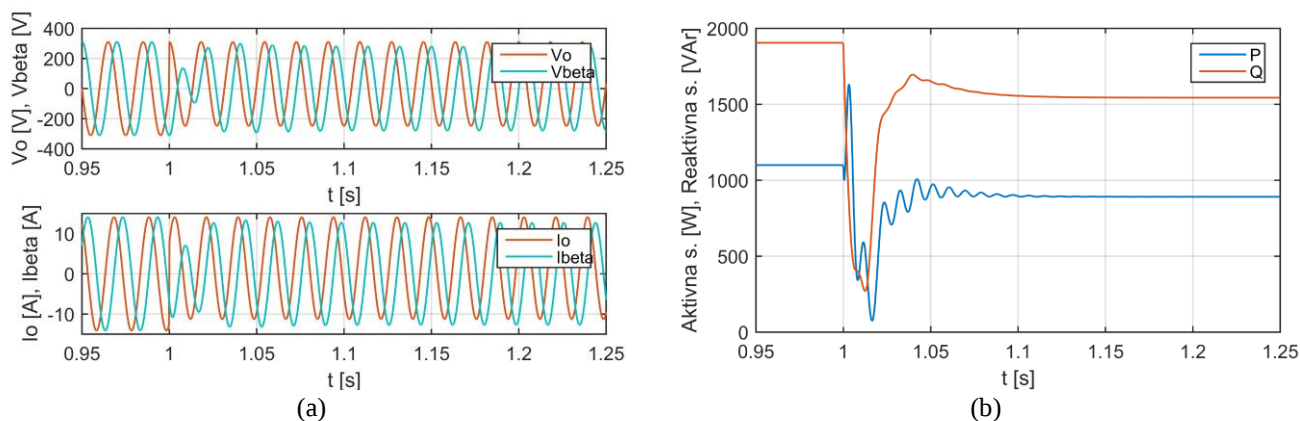
Ponašanje DC-FLL petlje u slučaju da je došlo do skokovite promjene početnih faza, frekvencije i amplitude ulaznih signala zajedno sa ofsetom prikazan je na Sl. 9. Navedeni poremećaji su dovedeni u trenutku $t = 1$ s. Na Sl. 9a su prikazani vremenski dijagrami ulaznih signala i β komponenti QSG. Vrijednosti reaktivne i aktivne snage mogu se vidjeti na Sl. 9b. Za parametre simulacije korišćeni su parametri iz Tabele 1, kao optimalni. Simulacijom je utvrđeno da povećavanjem Γ na vrijednost $\Gamma=50$, za estimaciju snaga je potrebno do 80 ms, ipak, u tom slučaju prisutan je značajan preskok pri estimaciji frekvencije.



Sl.7 Skokovita promjena frekvencije ulaznih signala i odgovori a) QSG generatora signala u kvadraturi; (b) aktivne i reaktivne snage



Sl.8 Skokovita promjena početne faze ulaznih signala i odgovori a) QSG generatora signala u kvadraturi; (b) aktivne i reaktivne snage



Sl. 9 Skokovita promjena početne faze, amplitude i frekvencije ulaznih signala i odgovori a) QSG generatora signala u kvadraturi; (b) aktivne i reaktivne snage

ZAKLJUČAK

Tradicionalne FLL petlje ne pružaju prihvatljiv odgovor u slučaju pojave DC komponente ulaznog signala. Kao modifikacija FLL petlje, predstavljena je DC-FLL, koja uspješno uklanja ofset iz izlaznih signala QSG te uklanja talasnost estimirane frekvencije. U radu je prikazana i mogućnost primjene DC-FLL petlje u elektronskim brojlama, gdje je kroz simulaciju prikazano da takva proračunavanja se mogu izvršiti zadovoljavajućim brzinama uz visoku pouzadnost. Naredni koraci ovog istraživanja biće laboratorijska i eksperimentalna promjena predloženog algoritma.

LITERATURA

- [1] L. Xie, T. Huang, P. R. Kumar, A. A. Thattai, S. K. Mitter, "On an Information and Control Architecture for Future Electric Energy Systems," in *Proceedings of the IEEE*, vol. 110, no. 12, pp. 1940-1962, Dec. 2022, doi: 10.1109/JPROC.2022.3218276.
- [2] T. Strasser, F. Andren, J. Kathan, C. Cecati, C. Buccella, P. Siano, P. Leitao, G. Zhabelova, V. Vyatkin, P. Vrba, V. Marik, "A Review of Architectures and Concepts for Intelligence in Future Electric Energy Systems," in *IEEE Transactions on Industrial Electronics*, vol. 62, no. 4, pp. 2424-2438, April 2015, doi: 10.1109/TIE.2014.2361486.
- [3] P. Rodriguez, A. Luna, M. Ciobotaru, R. Teodorescu, F. Blaabjerg, "Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions," *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, Paris, France, 2006, pp. 5173-5178, doi: 10.1109/IECON.2006.347807.
- [4] M. Karimi-Ghartemani, S. A. Khajehoddin, P. K. Jain, A. Bakhshai, M. Mojiri, "Addressing DC Component in PLL and Notch Filter Algorithms," in *IEEE Transactions on Power Electronics*, vol. 27, no. 1, pp. 78-86, Jan. 2012, doi: 10.1109/TPEL.2011.2158238.
- [5] A. Kherbachi, A. Chouder, A. Bendib, K. Kara, S. Barkat, "Enhanced structure of second-order generalized integrator frequency-locked loop suitable for DC-offset rejection in single-phase systems," *Electric Power Systems Research*, vol. 170, 2019, pp. 348-357, <https://doi.org/10.1016/j.epsr.2019.01.029>.
- [6] M. Ciobotaru, R. Teodorescu, V. G. Agelidis, "Offset rejection for PLL based synchronization in grid-connected converters," *2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, Austin, TX, USA, 2008, pp. 1611-1617, doi: 10.1109/APEC.2008.4522940.
- [7] M. Xie, H. Wen, C. Zhu, Y. Yang, "DC Offset Rejection Improvement in Single-Phase SOGI-PLL Algorithms: Methods Review and Experimental Evaluation," in *IEEE Access*, vol. 5, pp. 12810-12819, 2017, doi: 10.1109/ACCESS.2017.2719721.
- [8] S. Lubura, M. Šoja, S. Lale, M. Ikić, "Single-phase phase locked loop with DC offset and noise rejection for photovoltaic inverters," *IET*

Power Electronics, vol. 7, pp. 2288-2299, doi: 10.1049/iet-pel.2013.0413.

- [9] T. Ngo, Q. Nguyen, S. Santoso, "Improving performance of single-phase SOGI-FLL under DC-offset voltage condition," *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, USA, 2014, pp. 1537-1541, doi: 10.1109/IECON.2014.7048706.
- [10] T. Ngo, Q. Nguyen, S. Santoso, "Improving performance of single-phase SOGI-FLL under DC-offset voltage condition," *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, USA, 2014, pp. 1537-1541, doi: 10.1109/IECON.2014.7048706.
- [11] M. Ciobotaru, R. Teodorescu, F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," *2006 37th IEEE Power Electronics Specialists Conference*, Jeju, Korea (South), 2006, pp. 1-6, doi: 10.1109/pesc.2006.1711988.
- [12] P. Rodriguez, A. Luna, I. Candela, R. Teodorescu, F. Blaabjerg, "Grid synchronization of power converters using multiple second order generalized integrators," *2008 34th Annual Conference of IEEE Industrial Electronics*, Orlando, FL, USA, 2008, pp. 755-760, doi: 10.1109/IECON.2008.4758048.
- [13] Y. M. Rind, M. H. Raza, M. Zubair, M. Q. Mehmood, Y. Massoud, "Smart Energy Meters for Smart Grids, an Internet of Things Perspective" *Energies*, 2023; 16(4):1974. <https://doi.org/10.3390/en16041974>
- [14] B. Wu, N. Tan, "An Energy Metering and Measurement SoC with a Novel Low-Power DSP Architecture," in *IEEE Internet of Things Journal*, vol. 6, no. 2, pp. 3298-3308, April 2019.

ABSTRACT

Phase-locked loops (PLLs) and frequency-locked loops (FLLs) are the most common closed-loop synchronization techniques. These techniques detect network parameters such as phase, amplitude, and frequency. Since the network voltage, because of measurement/conversion, may contain a DC offset, it is necessary to improve the existing structures to successfully overcome and remove the DC component of the input voltage. In this paper, limitations of FLLs in the presence of a DC offset are presented, as well as an improved FLL structure that includes a modified two-phase generator that eliminates the DC offset. The performance of this DC-FLL loop will be analyzed, as well as the possibility of detecting network parameters in the presence of a DC offset. Additionally, simulations will be used to demonstrate the application of this technique in electronic energy meters.

DC-FLL for power calculations in electric metering
Zorana Mandić, Dejan, Jokić, Slobodan Lubura