

CMOS delitelj učestanosti sa 4 sa injekcionom sinhronizacijom

Dragana Jevtić, Miloš Marinković, Nikola Petrović i Radivoje Đurić, *Elektrotehnički fakultet, Univerzitet u Beogradu*

Apstrakt—Rad se bazira na projektovanju CMOS delitelja učestanosti sa 4 sa injekcionom sinhronizacijom (engl. Injection Locked Frequency Divider - ILFD), kod koga se učestanost ulaznog signala menja u opsegu od 21.6GHz do 23.2GHz. ILFD kolo je realizovano pomoću spregnutnog para NMOS tranzistora i LC oscilatornog kola, uz dodavanje još jednog tranzistora direktno u oscilatorno kolo, kako bi se povećao nivo injektovane struje. Da bi se postigao željeni opseg delitelja učestanosti, potrebno je primeniti odgovarajuću tehniku kojom se postiže povećanje opsega učestanosti. U ovom radu je prikazana tehnika isticanja trećeg harmonika, i prikazano je na koji način pojedini faktori (ulazna snaga i Q faktor oscilatornog kola) utiču na opseg učestanosti za koje je moguće uspostavljanje oscilacija. Za projektovan ILFD pomoću CAD alata Cadence napravljen je lejt i urađene su postlejt simulacije. Rezultati simulacija pokazuju pouzdan rad delitelja u opsegu učestanosti koji je nešto veći od nominalnog opsega.

Ključne reči—delitelj učestanosti; ILFD; NMOS; oscilatori; 65nm CMOS tehnologija.

I. UVOD

DELITELJI učestanosti čine sastavni deo sintetizatora učestanosti (engl. Phase-locked Loop - PLL). Stoga, predstavljaju važan deo prilikom projektovanja komunikacionih sistema. Njihova uloga jeste da podele izlaznu učestanost tj. učestanost signala naponski kontrolisanog oscilatora (engl. Voltage-controlled Oscillator - VCO) odgovarajući broj puta, nakon čega se dobijena učestanost poredi sa referentnom pomoću fazno-frekvencijskog detektora (engl. Phase Frequency Detector - PFD). Delitelji učestanosti sa injekcionom sinhronizacijom rade na principu sinhronizacije učestanosti oscilovanja na spoljašnju pobudu. Injekciona sinhronizacija predstavlja nelinearan dinamički proces u kome se sopstvena učestanost oscilatora menja kako bi se izjednačila sa učestanošću injektivne perturbacije [1]. U poređenju sa klasičnim, digitalnim deliteljima učestanosti, ILFD imaju malu

potrošnju, a karakteriše ih rad na visokim učestanostima.

Opseg učestanosti za koje je moguće uspostavljanje oscilacija je funkcija parametara kola i ulazne snage, odnosno zavisi od amplitude injektovane struje i Q faktora oscilatornog kola. Sa povećanjem Q faktora oscilatornog kola opseg učestanosti u kojem delitelj radi se sužava, dok se sa povećanjem injektovane struje opseg učestanosti povećava [2]. Kola za povećanje injektovanje struje unose dodatne parazitne kapacitivnosti u oscilatorno kolo, pa je prilikom projektovanja potrebno pronaći kompromis između oprečnih zahteva.

Konvencionalni delitelji učestanosti sa injekcionom sinhronizacijom nemaju širok opseg učestanosti za koje je moguće uspostavljanje oscilacija, što je posledica postojanja selektivnih oscilatornih kola. U novije vreme se pojavilo nekoliko tehnika pomoću kojih je moguće proširiti opseg učestanosti u kojem delitelj radi [3]-[6]. Međutim, svaka od njih poseduje određene nedostatke, te se na izlazu kola često javlja izobličen signal. Dodatnim usložnjavanjem kola (npr. dodavanjem bafera i/ili filtra na izlaz kola) se eliminišu nastala izobličenja (pojava viših harmonika). U ovom radu, prilikom projektovanja delitelja učestanosti sa četiri sa injekcionom sinhronizacijom korišćena je tehnika isticanja trećeg harmonika radi postizanja širokog opsega učestanosti za koje je moguće uspostavljanje oscilacija.

Rad se sastoji iz četiri poglavlja. U drugom poglavlju je dat šematski prikaz CMOS delitelja učestanosti sa 4 sa injektivnom sinhronizacijom, gde je pokazano na koji način se isticanjem trećeg harmonika postiže povećanje radnog opsega delitelja učestanosti. U trećem poglavlju su prikazani rezultati simulacija projektovanog delitelja učestanosti za opseg učestanosti od 21.6GHz do 23.2GHz, nakon implementacije projektovanog kola. U četvrtom, ujedno i poslednjem poglavlju, dat je zaključak.

II. DIZAJN DELITELJA UČESTANOSTI SA ČETIRI

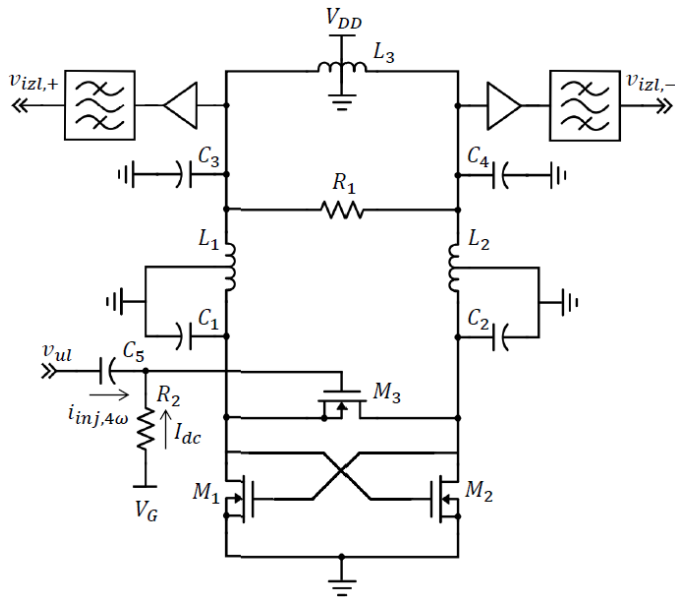
Na slici 1 je dat šematski prikaz delitelja učestanosti sa četiri sa injekcionom sinhronizacijom. Kolo ILFD sa četiri je realizovano pomoću spregnutnog para tranzistora M_1 i M_2 čija je funkcija da održe oscilacije u kolu, i LC oscilatornog kola čija je rezonantna učestanost jednaka učestanosti oscilovanja oscilatora. Ulazni signal se preko tranzistora M_3 dovodi u oscilatorno kolo, tako da se polarizacija gejta tranzistora M_3 može izvršiti nezavisno od vrednosti ulaznog signala.

Dragana Jevtić – Elektrotehnički fakultet, Univerzitet u Beogradu, Bulevar Kralja Aleksandra 73, 11020 Beograd, Srbija (e-mail: djevtic@etf.rs).

Miloš Marinković – Elektrotehnički fakultet, Univerzitet u Beogradu, Bulevar Kralja Aleksandra 73, 11020 Beograd, Srbija (e-mail: milos_marinkovic@outlook.com).

Nikola Petrović – Elektrotehnički fakultet, Univerzitet u Beogradu, Bulevar Kralja Aleksandra 73, 11020 Beograd, Srbija (e-mail: p.z.nikola@etf.bg.ac.rs).

Radivoje Đurić – Elektrotehnički fakultet, Univerzitet u Beogradu, Bulevar Kralja Aleksandra 73, 11020 Beograd, Srbija (e-mail: rade@etf.bg.ac.rs).



Sl. 1. Šematski prikaz ILFD sa četiri

Opseg učestanosti za uspostavljanje oscilacija $\Delta\omega$ zavisi od amplitude injektovane struje i Q faktora oscilatornog kola, i može se opisati jednačinom:

$$\frac{\Delta\omega}{\omega_0} \approx \frac{1}{Q} \frac{I_{inj}}{I_{dc}}, \quad (1)$$

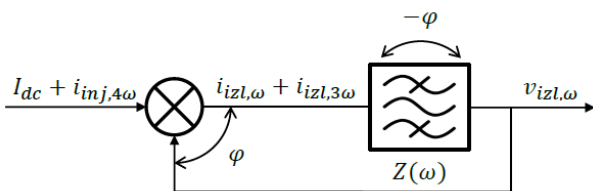
gde je sa ω_0 označena osnovna učestanost oscilovanja oscilatora, sa I_{inj} amplituda injektovane struje, a sa I_{dc} jednosmerna vrednost ulazne struje.

Dakle, što je veći Q faktor oscilatornog kola opseg učestanosti za koje je moguće uspostavljanje oscilacija je uži, dok se sa povećanjem injektovane struje opseg učestanosti povećava.

Da bi se povećao nivo injektovane struje direktno u oscilatorno kolo se dodaje tranzistor M_3 (slika 1). Dimenzije tranzistora M_3 se biraju tako da se postigne kompromis između zahteva da injektovana struja bude velika i da unete parazitivne kapacitivnosti u oscilatornom kolu budu što manje. Povećanje nivoa injektovane struje moguće je ostvariti i povećanjem ulazne snage.

A. Konvencionalni ILFD sa četiri

Model konvencionalnog ILFD sa četiri se može predstaviti u vidu odgovarajućeg strukturnog blok dijagrama.



Sl. 2. Strukturni blok dijagram ILFD sa četiri

Na osnovu dijagrama prikazanog na slici 2 vidimo da se kolo delitelja učestanosti sa četiri sa injekcionom sinhronizacijom modeluje kao kolo sa povratnom spregom koje se sastoji od filtra propusnika učestanosti i nelinearnog jednostruko balansiranog miksera. Na izlazu, viši harmonici su potisnuti pomoću filtra propusnika učestanosti, koji je određen impedansom LC oscilatornog kola $Z(\omega)$. Samo osnovni harmonik izlaznog signala $v_{izl,\omega}$, čija je učestanost bliska rezonantnoj učestanosti LC oscilatornog kola, se ponovo vraća u kolo i dovodi na ulaz miksera, nakon čega se množi sa jednosmernom ulaznom strujom I_{dc} i ulaznom injektovanom strujom na učestanosti 4ω $i_{inj,4\omega}$.

Veza između ulaznih i izlaznih signala prikazanih na blok dijagramu (slika 2) može se predstaviti sledećim jednačinama:

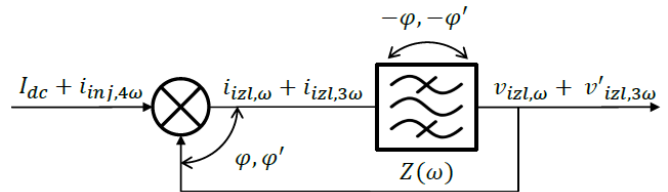
$$i_{izl,\omega} = k_{\omega} |I_{dc} \mathcal{G}_{izl,\omega}| I_{dc} \cos(\omega t + \theta) + k_{\omega} |i_{inj,4\omega} \mathcal{G}_{izl,3\omega}| I_{inj} \cos(\omega t - 3\theta), \quad (2)$$

$$i_{izl,3\omega} = k_{3\omega} |I_{dc} \mathcal{G}_{izl,3\omega}| I_{dc} \cos(3\omega t + 3\theta) + k_{3\omega} |i_{inj,4\omega} \mathcal{G}_{izl,\omega}| I_{inj} \cos(3\omega t - \theta), \quad (3)$$

gde je sa ω označena učestanost oscilovanja oscilatora, sa I_{inj} amplituda injektovane struje, sa I_{dc} jednosmerna vrednost ulazne struje, sa k koeficijenti koji kvantitativno opisuju uticaj izlaznog napona na izlaznu struju, a sa θ fazna razlika između struje na ulazu i izlaznog napona na učestanosti ω [3].

B. Poboľšani ILFD sa četiri

Ograničen radni opseg konvencionalnih ILFD sa četiri je posledica slabog uticaja viših harmonika u poređenju sa osnovnim harmonikom prilikom množenja signala koji se dovode na ulaz miksera. Dodavanjem nove komponente na učestanosti 3ω na izlaz kola $v'_{izl,\omega}$ ostvaruje se povećanje radnog opsega delitelja učestanosti sa četiri (slika 3).



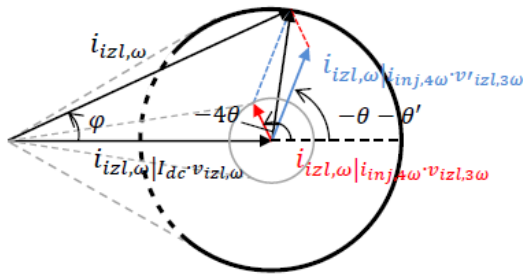
Sl. 3. Strukturni blok dijagram ILFD sa četiri sa primenom tehnike isticanja trećeg harmonika

To dovodi do pojave novih komponenti u kolu, tako da više ne važi prethodno definisana veza između ulaznih i izlaznih signala, već ju je potrebno predstaviti novim jednačinama:

$$i_{izl,\omega} = k_{\omega} |I_{dc} \mathcal{G}_{izl,\omega}| I_{dc} \cos(\omega t + \theta) + k_{\omega} |i_{inj,4\omega} \mathcal{G}_{izl,3\omega}| I_{inj} \cos(\omega t - 3\theta) + k'_{\omega} |i_{inj,4\omega} \mathcal{G}'_{izl,3\omega}| I_{inj} \cos(\omega t - \theta'), \quad (4)$$

$$\begin{aligned}
i_{izl,3\omega} = & k_{3\omega} |I_{dc} \vartheta'_{izl,3\omega}| I_{dc} \cos(3\omega t + 3\theta) \\
& + k_{3\omega} |i_{inj,4\omega} \vartheta'_{izl,\omega}| I_{inj} \cos(3\omega t - \theta) \\
& + k'_{3\omega} |I_{dc} \vartheta'_{izl,3\omega}| I_{dc} \cos(3\omega t + \theta'),
\end{aligned} \quad (5)$$

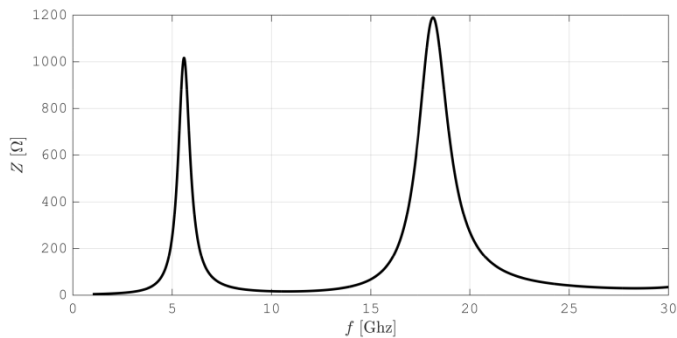
gde je sa ω označena učestanost oscilovanja oscilatora, sa I_{inj} amplituda injektovane struje, sa I_{dc} jednosmerna vrednost ulazne struje, sa k i k' koeficijenti koji kvantitativno opisuju uticaj izlaznog napona na učestanosti ω i 3ω na izlaznu struju, respektivno, a sa θ i θ' fazna razlika između struje na ulazu i izlaznog napona na učestanosti ω i 3ω , respektivno [3].



Sl. 4. Fazorski dijagram izlazne struje na učestanosti ω

Sa fazorskog dijagrama prikazanog na slici 4 se najlakše uočava na koji način se primenom tehnike isticanja trećeg harmonika ostvaruje povećanje radnog opsega delitelja učestanosti sa četiri, odnosno na koji način pojava nove komponente izlazne struje na učestanosti ω utiče na povećanje ugla φ .

Pored toga, LC oscilatorno kolo treba da bude kolo četvrtog reda, čija impedansa ima izražena dva pika na učestanostima 5.6GHz i 16.8GHz, kao što je prikazano na slici 5.

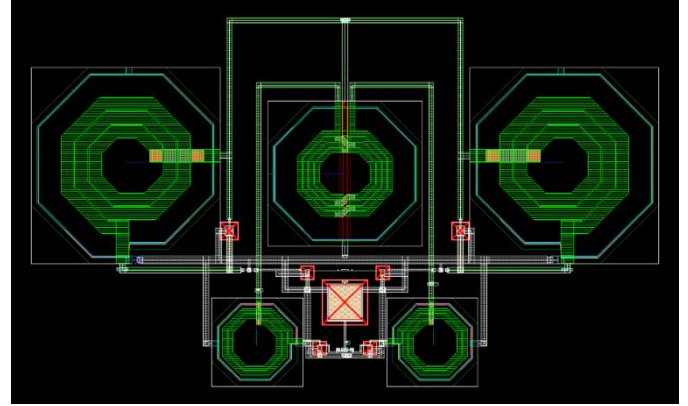


Sl. 5. Moduo impedanse LC oscilatornog kola

Da bi se ostvarilo povećanje radnog opsega delitelja učestanosti, potrebno je da vrednost $|Z(3\omega_0)|$ bude velika, kako na izlazu ne bi bila potisnuta komponenta signala na učestanosti 3ω . Istovremeno, vrednost $|Z(3\omega_0)|$ treba da bude dovoljno mala kako bi se obezbedile stabilne oscilacije. Otpornik R_1 služi da smanji vrednost $|Z(\omega_0)|$, bez uticaja na vrednost $|Z(3\omega_0)|$ [3].

III. POSTLEJAUT SIMULACIJE

Prilikom izrade lejauta korišćena je LP 65nm CMOS tehnologija. Sve induktivnosti u kolu su izrađene u najvišem sloju metala radi postizanja što boljeg Q faktora, dok su vrednosti svih kondenzatora smanjene u odnosu na one dobijene prilikom projektovanja zbog velikih kapacitivnih opterećenja koje unose vodovi kojima su povezane komponente. Na slici 6 dat je prikaz lejauta.



Sl. 6. Lejaut projektovanog delitelja učestanosti sa četiri

A. Rezultati postlejaut simulacija

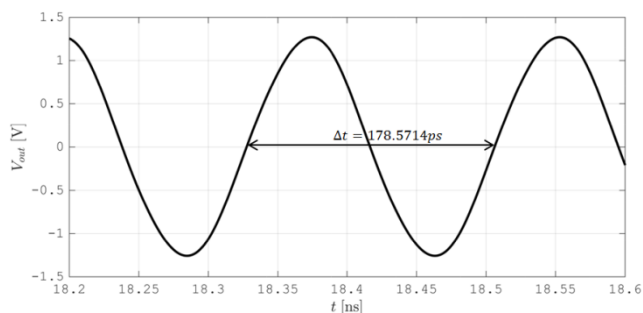
Na ulaz kola je dovođen prostoperiodičan signal učestanosti iz opsega od 21.6GHz – 23.2GHz i amplitude od 300mV. U tabeli 1 su date izmerene vrednosti periode izlaznog signala nakon filtriranja filtrom propusnika učestanosti za ulazni signal različitih učestanosti. Primetimo da se na izlazu dobija signal četiri puta manje učestanosti u odnosu na učestanost ulaznog signala za opseg učestanosti koji je veći od nominalnog. Simulacijama je utvrđeno da je radni opseg projektovanog delitelja od 21.35GHz – 23.55GHz. Razlog zbog kojeg je dobijen veći opseg učestanosti od nominalnog leži u činjenici da je vrednost $|Z(3\omega_0)|$ dodatno povećana kako bi se kompenzovao uticaj parazitivnih kapacitivnosti unetih prilikom povezivanja komponenti.

TABELA I

UČESTANOST IZLAZNOG SIGNALA U ZAVISNOSTI OD UČESTANOSTI ULAZNOG SIGNALA

f_{ul} [GHz]	T_{izl} [ps]	$f_{izl} = 1/T_{izl}$ [GHz]
21.35	187.3536	5.3375
21.60	185.1852	5.4000
22.40	178.5714	5.6000
23.20	172.4138	5.8000
23.55	169.8514	5.8875

Na slici 7 je prikazan vremenski dijagram izlaznog signala kada je na ulaz kola doveden prostoperiodičan signal učestanosti od 22.4GHz, nakon filtriranja filtrom propusnika učestanosti.



Sl. 7. Vremenski oblik izlaznog signala nakon filtriranja

Rezultati simulacija pokazuju pouzdan rad CMOS delitelja učestanosti sa četiri, u opsegu učestanosti koji je nešto veći od nominalnog.

IV. ZAKLJUČAK

U poređenju sa klasičnim, digitalnim deliteljima učestanosti, CMOS delitelji učestanosti sa injeksionom sinhronizacijom imaju malu potrošnju i karakteriše ih rad na visokim učestanostima. Međutim, zbog postojanja selektivnih oscilatornih kola imaju ograničen opseg radne učestanosti. Zbog toga je neophodno primeniti odgovarajuće tehnike kako bi se ostvarilo povećanje radnog opsega. Rezultati simulacija pokazuju pouzdan rad delitelja učestanosti sa četiri koji je projektovan primenom tehnike isticanja trećeg harmonika, u opsegu učestanosti od 21.35GHz – 23.55GHz.

ZAHVALNICA

Ovaj rad je finansijski podržan od strane Ministarstva prosvete, nauke i tehnološkog razvoja Republike Srbije u okviru projekta TR-32043.

LITERATURA

- [1] D. N. Grujić, "Design of Monolithic Microwave Integrated Circuits for 60 GHz Band," Ph.D. dissertation, Electrical Engineering Dept., Belgrade Univ., Belgrade, Serbia, 2013.
- [2] B. Razavi, "A study of injection locking and pulling in oscillators," IEEE J. Solid-State Circuits, vol. 39, no. 9, pp. 1415-1424, Sept. 2004.
- [3] W. Liang, "A 4-Path 60GHz CMOS Phased-Array Receiver," Ph.D. dissertation, Electronic and Computer Engineering, Dept., Hong Kong Univ. of Science and Technology, Hong Kong, 2012.
- [4] K. Yamamoto and M. Fujishima, "70GHz CMOS Harmonic Injection-Locked Divider," ISSCC Dig. Tech Papers, pp.600-601, Feb. 2006.
- [5] H. H. Hsieh, H. S. Chen and L. H. Lu, "A V-Band Divide-by-4 Direct Injection Locked Frequency Divider in 0.18-μm CMOS," IEEE T. Microwave Theory and Techniques, vol. 59, pp.393-405, Feb. 2011.
- [6] A. Ghilioni, U. Decanis, E. Monaco, A. Mazzanti and F. Svelto, "A 6.5mW Inductorless CMOS Frequency Divide-by-4 Operating up to 70GHz," ISSCC Dig. Tech Papers, pp.282-283, Feb. 2011.

ABSTRACT

The aim of this paper is to design wide locking range divide-by-4 injection locked frequency divider (ILFD) with the input frequency being changed from 21.6GHz to 23.2GHz. The ILFD circuit is realized with a cross-coupled NMOS transistor pair and LC oscillator circuit, and additional transistor for improving current injection into circuit. In order to achieve the desired range for frequency divider, it is necessary to apply a particular technique to improve the bandwidth of the frequency divider. This work presents the proposed locking range enhancement technique by boosting the third order harmonic and it is shown how different factors (input power and Q factor of oscillator circuit) affect the oscillation frequency range. For designed ILFD circuit layout and post-layout simulations were made using the CAD Cadence. The results of the simulations confirms reliable work of the divider in the frequency range which is a little larger then nominal.

A CMOS Divide-by-4 Injection-Locked Frequency Divider

Dragana Jevtić, Miloš Marinković, Nikola Petrović, Radivoje Đurić